

УДК.519.95

**ЭЛЕМЕНТЫ ВЫЧИСЛИТЕЛЬНОЙ И ЗАПОМИНАЮЩЕЙ СРЕДЫ С
ПЕРЕМЕННОЙ СТРУКТУРОЙ НАСТРОЙКИ НА МОП-ТРАНЗИСТОРАХ****Е.И. Беляев, А.И. Мишин, В.Г.Хрущев**

В работе рассматриваются элементы структурно однородных логических и запоминающих устройств с переменной структурой настройки, построенные на базе перестраиваемого (многомерного) регистра сдвига. Приводятся принципиальные схемы элементов среды, построенные на МОП-транзисторах по принципу схем с непосредственными связями. Производится граничный статический расчет условий работоспособности схем при разбросах всех схемных параметров. Находится минимальное значение напряжения питания и дается оценка зависимости этого параметра от числа логических входов для схем "НЕ-ИЛИ", "НЕ-И".

§ 1. Функциональные схемы элементов среды

Надежность вычислительной среды в значительной степени определяется надежностью системы настройки. Среди известных структур наибольшей надежностью обладают структуры с переменной схемой настройки [1-3]. Элементы такой вычислительной среды позволяют изменять конфигурацию путей передачи настроенной

информации и локализовать любую неисправность соседнего элемента. Это достигается тем, что элементы среды получают информацию настройки не по принципу координатной выборки, когда отказ даже одной координатной шины делит структуру на две не связанные между собой области, а по принципу близкодействия, когда при отказе какого-либо участка вычислительной среды работоспособность системы настройки не нарушается, так как имеется множество путей обхода неисправных элементов или их группы; информация настройки передается в среде последовательно от соседа к соседу вдоль цепочки, образованной элементами среды в процессе настройки.

Вычислительная среда с описанными свойствами наиболее просто выполняется на базе перестраиваемого многомерного регистра сдвига, направление движения информации в котором задается программным путем; сигналы с выходов перестраиваемого регистра используются для управления настройкой среды.

Схема одного разряда перестраиваемого регистра сдвига с параллельным заданием кода выбора направления представлена на рис.1. Триггер T_1 , линия задержки ЛЗ и схемы ИЛИ образуют

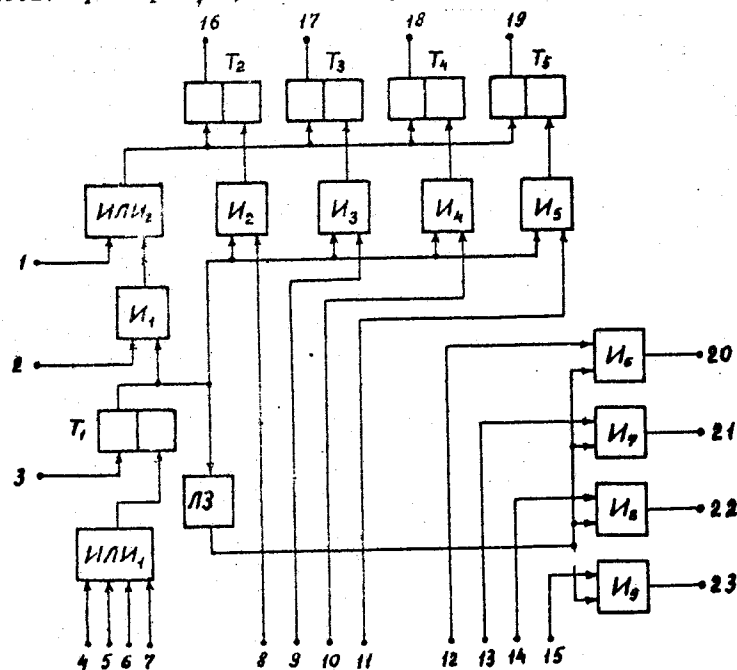


Рис. 1.

один разряд обычного регистра сдвига. Триггеры $T_2 - T_5$ схемы И₁ - И₅ и схема ИЛИ₂ образуют регистр параллельного действия с цепями установки в "нуль" и в "единицу". Если триггер T_1 находится в состоянии "единица", то регистр параллельного действия по входу I может быть установлен в состояние "нуль", а входами 8-11 в него может быть записан новый код, после чего на управляющий вход 3 подается сдвигающий управляющий импульс. Выбор направления установки в "единицу" следующего триггера задается сигналами, подаваемыми на входы I2-I5, которые могут быть подключены к входам 8-11, если нет необходимости в запоминании кода выбора направления, либо к выходам триггеров $T_2 - T_5$, если этот код нужно запомнить.

На рис.2 показан пример выполнения перестраиваемого ре-

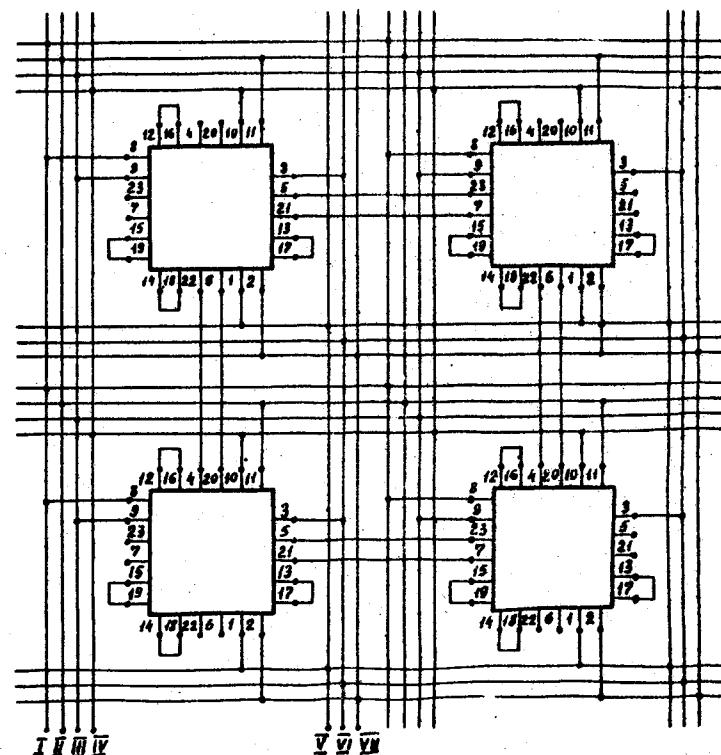


Рис. 2.

гистра сдвига, в котором каждый разряд с координатами (i, j) может получать и передавать информацию по любому из четырех направлений. Сдвигающие импульсы подаются в регистр по шине УІ, по шинам У и УІ подаются сигналы установки в "нуль" триггеров $T_2 - T_5$, а по шинам І-ІV подается код выбора направления передачи информации в регистре, который запоминается в каждом разряде триггерами $T_2 - T_5$ (см. рис. І).

Рассмотрим однородные структуры, выполненные на базе перестраиваемого регистра сдвига, которые могут быть использованы для реализации логических и вычислительных функций и функций запоминания. Эти структуры можно разделить на два типа, которые мы будем называть вычислительными и запоминающими средами соответственно с разделенными и совмещенными логическими и адресными полями (функциями).

Вычислительная и запоминающая среда с разделенными функциями показана на рис. 3, где квадратом обозначен элемент среды, схема которого приведена на рис. 4. Каждый элемент содержит один разряд перестраиваемого регистра без запоминания путей передачи информации: триггеры $T_1 - T_4$ образуют ячейку памяти, которая используется либо в качестве ячейки памяти запоминающего устройства, либо в качестве запоминающей ячейки для хранения кода настройки логического элемента. Триггер T_1 (рис. І) в схеме рис. 4 выполняет функцию управления записью информации в ячейку памяти и функцию управления считыванием информации из ячейки памяти; в дальнейшем будем называть его триггером активности (ТА), а входы и выходы элемента, предназначенные для приема с соседних элементов и выдачи на соседние элементы сигналов установки в "единицу" триггеров активности будем называть соответственно возбуждающими входами и возбуждающими выходами элемента.

Работа элемента в решетке описывается следующей системой уравнений:

$$z_{ij}^k = f^k(x_{ij}^1, x_{ij}^2, x_{ij}^3, x_{ij}^4, y_{ij}^1, y_{ij}^2, y_{ij}^3, y_{ij}^4); \quad (I)$$

$$x_{ij}^1 = z_{i-1,j}^3, x_{ij}^2 = z_{i,j+1}^4; x_{ij}^3 = z_{i+1,j}^1; x_{ij}^4 = z_{i,j-1}^2; \quad (II)$$

$$\theta_{ij}^y = \theta_{ij}^y \vee q_{ij}^1 \& \theta_{ij}^y; \quad (III)$$

$$\varphi_{ij}^k = z_{ij}^k \& q_{ij}^1; \quad (IV)$$

$$\theta_{ij}^{TA} = \theta_{ij}^{TA}; \quad (V)$$

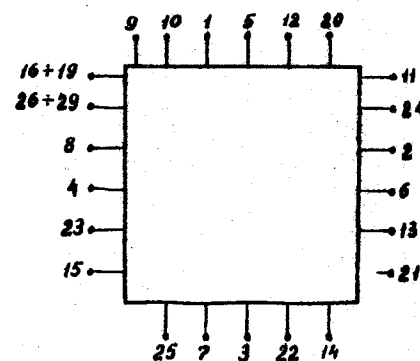
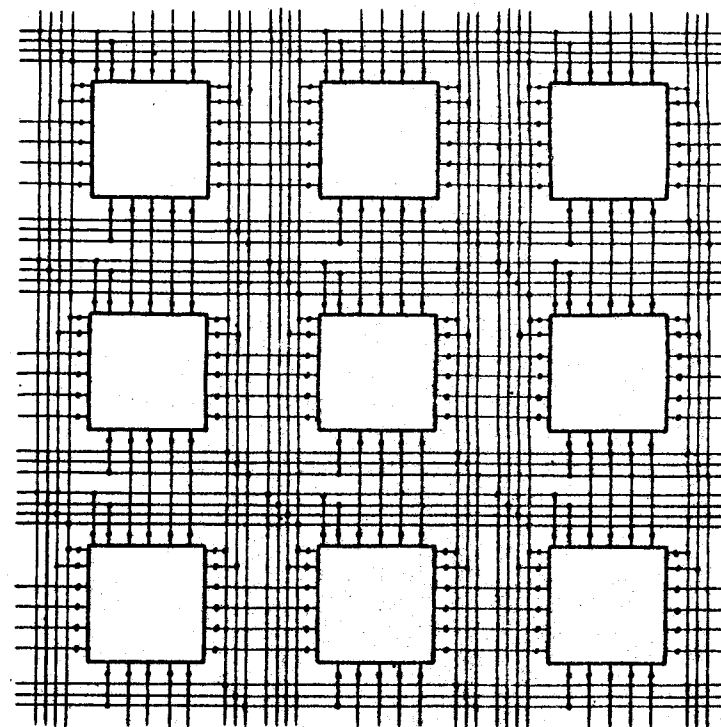


Рис. 3.

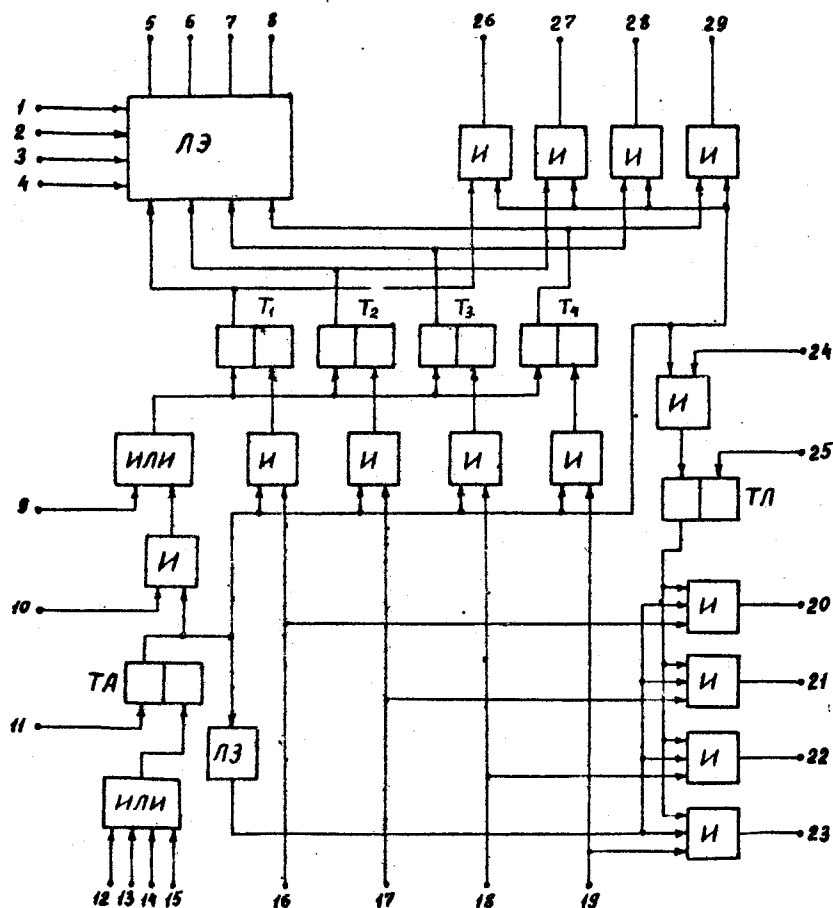


Рис. 4.

120

$$\omega_{ij}^{TA} = \bigvee_{k=1}^K \nu_{ij}^k; \quad (VI)$$

$$\nu_{ij}^1 = \mu_{i-1,j}^3; \nu_{ij}^2 = \mu_{i,j+1}^4; \nu_{ij}^3 = \mu_{i+1,j}^1; \nu_{ij}^4 = \mu_{i,j-1}^2; \quad (VII)$$

$$\mu_{ij}^k = z^k \& q_{ij}^2 \& \bar{\lambda}_{ij}; \quad (VIII)$$

$$\theta_{ij}^{Tn} = \theta^{Tn}; \quad (IX)$$

$$\omega_{ij}^{Tn} = q_{ij}^1 \& \omega^{Tn} \quad (X)$$

$$\xi^k = \bigvee y_{ij}^k \& q_{ij}^1. \quad (XI)$$

по всем
элементам
среды

- где
- i, j - координаты элемента в решетке;
 - x_{ij}^k - сигнал на k -м логическом входе элемента (на входах 1-4);
 - z_{ij}^k - сигнал на k -м логическом выходе элемента (на выходах 5-8);
 - y_{ij}^k - сигнал на выходе k -го разряда ячейки памяти (на выходах триггеров $T_1 - T_4$);
 - θ_{ij}^y - сигнал на входе установки в "нуль" ячейки памяти;
 - θ_1^y и θ_2^y - сигналы на шинах установки в "нуль" ячейки памяти (на входах 9, 10);
 - θ_{ij}^{TA} - сигнал на входе установки в "нуль" триггера активности (на входе 11);
 - θ^{TA} - сигнал на шине установки в "нуль" триггеров активности;
 - ω_{ij}^{TA} - сигнал на входе установки в "единицу" триггера активности;
 - q_{ij}^1 - сигнал на выходе триггера активности;
 - ν_{ij}^k - сигнал на k -м входном возбуждающем полюсе элемента (на входах 12-15);
 - z^k - сигнал на k -й шине записи (на входах 16-19);
 - ϑ_{ij}^k - сигнал на входе установки в "единицу" k -го разряда ячейки памяти;
 - μ_{ij}^k - сигнал на k -м выходном возбуждающем полюсе элемента (на выходах 20-23);

121

- q_{ij}^2 - сигнал на выходе линии задержки;
- θ_{ij}^{tr} - сигнал на входе установки в "нуль" триггера локализации (ТЛ);
- θ^{tr} - сигнал на шине установки в "нуль" триггеров локализации (на входе 24);
- ω_{ij}^{tr} - сигнал на входе установки в "единицу" триггера локализации;
- ω^{tr} - сигнал на шине установки в "единицу" триггеров локализации (на входе 25);
- λ_{ij} - сигнал на выходе триггера локализации;
- ξ^k - сигнал на k -й шине считывания (на выходах 26-29).

Все переменные двоичные.

Уравнение (I) описывает логический элемент (ЛЭ), предназначенный для обработки информации, поступающей на логические входы I-4 с логических выходов соседних элементов. В зависимости от сигналов y_{ij}^k , поступающих на управляющие входы логического элемента, с его логических выходов 5-8 снимаются различные функции входных переменных x_{ij}^k . В качестве логического элемента может быть использован любой многофункциональный элемент, удовлетворяющий требованиям функциональной и соединительной полноты.

Уравнения (III) и (IV) задают работу схем управления записью информации в ячейку памяти.

Уравнения (V) - (VIII) описывают работу системы выборки элемента. Система выборки элемента построена на базе перестраиваемого регистра сдвига и включает в себя триггер активности (ТА), логическую схему ИЛИ, подключенную ко входу установки в "единицу" триггера активности, и логические схемы И, подключенные через линию задержки (ЛЗ) к выходу триггера активности.

Триггер активности выполняет следующие функции:

- а) запрещает изменение состояния ячейки памяти элемента и выдачу сигналов на выходные возбуждающие полюсы, если он находится в состоянии "нуль";
- б) разрешает установить в "нуль" ячейку памяти сигналом, поступающим на вход I0, если он находится в состоянии "единица";
- в) совместно с линией задержки управляет передачей сигналов, поступающих на входные полюсы I6-I9, на выходные возбуждающие полюсы 20-23 для установки в "единицу" триггеров активности соседних элементов;

г) разрешает считывать информацию, записанную в ячейку памяти, если он находится в состоянии "единица".

д) разрешает записать информацию в ячейку памяти, если он находится в состоянии "единица".

Уравнения (IX) и (X) описывают работу устройства локализации, которое включает в себя триггер локализации (ТЛ), логическую схему И, управляющую установкой в "единицу" триггера локализации, и схемы запрета (которые на рис. 4 совмещены со схемами И, управляющими передачей возбуждения).

Устройство локализации предназначено для локализации неисправностей в перестраиваемом регистре сдвига. Если состояние отказавшего триггера активности (или возбуждающих входов и выходов) соответствует "единице" ("нуль" не опасен), то триггер локализации устанавливается в состояние "единица" и тем самым запрещается передача сигналов на выходные возбуждающие полюсы. В зависимости от вида неисправности локализация её производится либо с помощью устройства локализации неисправного элемента (если неисправны возбуждающие входы или неисправен ТА), либо устройствами локализации его соседей (если неисправны возбуждающие выходы или неисправен ТЛ).

Локализация неисправностей в системе выборки элемента должна производиться по ходу их возникновения, так как в противном случае в перестраиваемом регистре сдвига могут распространяться (в процессе настройки среды) ложные сигналы, которые вызовут искажение информации в некоторых элементах.

Уравнение (XI) описывает систему считывания информации. Система считывания содержит логические схемы И, через которые при условии, что триггер активности находится в состоянии "единица", сигналы с выходов ячеек памяти поступают на схемы ИЛИ, подключенные своими выходами к шинам считывания.

Уравнения (II) и (UP) задают правило отождествления входных и выходных полюсов соседних элементов.

Один из алгоритмов работы вычислительной среды, выполненной на базе элемента рис.4, состоит из следующих основных этапов.

I. Установка в "нуль" триггеров активности и ячеек памяти всех элементов среды, для чего подаются сигналы на входные полюсы 9 и II.

2. Установка в "единицу" триггера активности элемента, расположенного на внешней стороне вычислительной среды. Для этого подается сигнал на один из его входных возбуждающих полюсов 12-15.

3. Запись информации в ячейку памяти элемента (по входам 16-19).

4. Установка в "нуль" триггера активности сигналом, подаваемым на входной полюс 11, и подачи вслед за этим сигнала установки в "единицу" триггера активности одного из соседних элементов (по входам 16-19).

5. Настройка следующих элементов среды, производится согласно пп.2-4, до тех пор, пока не будут настроены все элементы, входящие в реализуемую схему.

6. Ввод информации, подлежащей обработке в вычислительной среде, и обработка её.

Настройка вычислительной среды может производиться как по одной цепочке, так и по нескольким цепочкам параллельно.

При настройке вычислительной среды по нескольким цепочкам время настройки зависит как от числа цепочек, так и от способа настройки. Например, в случае, если для ввода информации используются все элементы, расположенные на одной из внешних сторон вычислительной среды, и в среде нет отказавших элементов, настройка может производиться следующим образом.

1. Отмечаются все элементы, у которых при настройке вычислительной среды на выполнение заданной функции первые разряды ячейки памяти должны быть установлены в состояние "единица".

2. На возбуждающие входы всех элементов, расположенных на внешней стороне вычислительной среды, подаются "единицы" в такой последовательности, чтобы после сдвига их в перестраиваемом регистре сдвига триггеры активности всех отмеченных в п. 1 элементов установились в состояние "единицы".

3. На шины записи подается код, соответствующий записи "единицы" только в первый разряд ячейки памяти, этот код записывается одновременно во все отмеченные элементы.

4. Аналогично производится запись информации во второй, третий и т.д. разряды ячеек памяти.

При этом время настройки среды с последовательным управлением практически не будет отличаться от времени настройки среды с координатным способом управления.

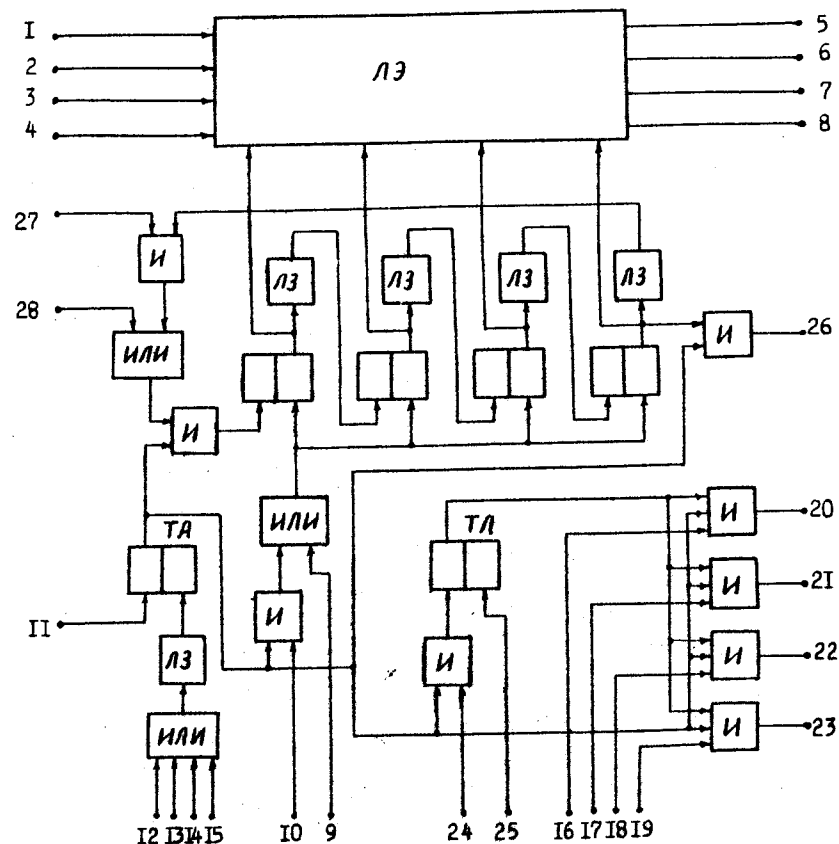


Рис. 5.

При использовании среды в качестве запоминающего устройства выборка ячеек памяти производится так же, как и при настройке вычислительной среды (пп. I-5 вышеописанного алгоритма); после установки в "единицу" триггера активности выбираемого элемента может быть произведена запись информации в ячейку памяти (подачей сигналов на входные полюсы I6-I9) или считывание её с шин 26-29 (рис.3).

Аналогично выглядит система уравнений и алгоритмы для элемента на рис.5, который отличается от элемента рис.4 тем, что в нем код настройки и код выбора направления передачи возбуждения подается по отдельным входам, а роль ячейки памяти выполняет регистр сдвига со схемой регенерации, которая дает возможность осуществлять считывание информации без разрушения при использовании среды в качестве запоминающего устройства.

Пример схемы элемента среды с совмещенными логическими и адресными функциями представлен на рис.6. Элемент построен на базе перестраиваемого регистра сдвига с запоминанием путей пе-

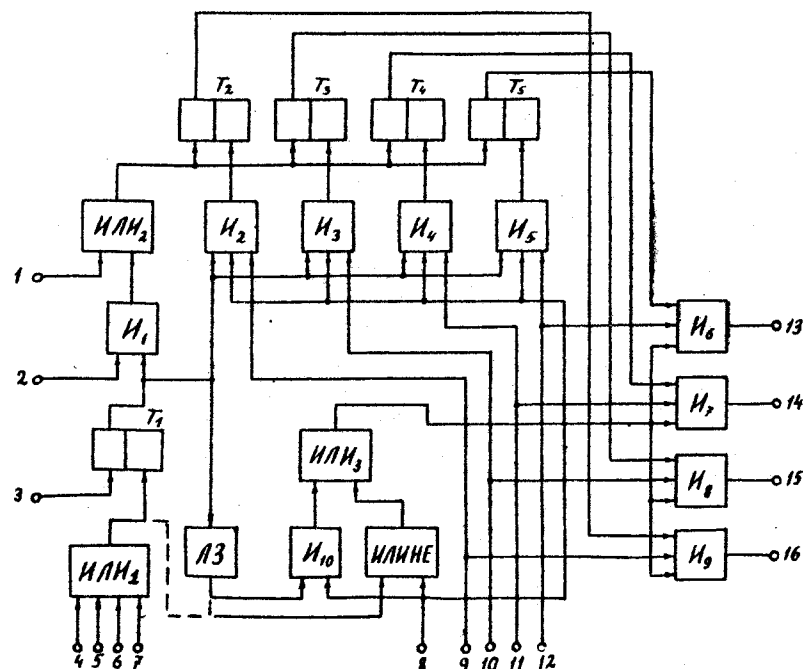


Рис. 6.

редачи информации (см. рис. I.2)

Вход 8 (рис.6) предназначен для задания режима работы элемента. Режиму настройки соответствует сигнал "единица", а режиму вычисления - сигнал "нуль".

Устройство локализации неисправностей в элементе среды может быть выполнено так же, как и в схеме рис.4.

В схеме рис.6 пунктиром показаны соединения, которые дают возможность получать синхронный и асинхронный варианты логического элемента. Если вход схемы "НЕ-ИЛИ" подсоединить к выходу линии задержки, то получится синхронный вариант логического элемента; если вход схемы "НЕ-ИЛИ" подсоединить к выходу схемы "ИЛИ", то получится асинхронный вариант логического элемента.

Достоинством элемента среды с совмещенными функциями является его максимальная простота.

Число МОП-транзисторов, требуемых для реализации элемента, составляет 74.

Отметим также, что управляющие шины и система питания могут быть выполнены аналогично цепям передачи возбуждения. При этом подведение питания, сигналов управления и кода настройки к элементам вычислительной среды осуществляется по цепочкам, которые образуются в среде в процессе её настройки. Такая вычислительная среда позволяет обходить неисправные элементы и в тех случаях, когда имеются отказы в цепях питания и управления.

Из рассмотренных свойств вычислительной среды с переменной структурой настройки следует, что эта среда позволяет достичь потенциальной надежности выполнения операции настройки, которая в основном определяется вероятностью безотказной работы элемента среды и количеством соседних элементов. Это означает, что надежность перестраиваемых структур можно улучшить как путем повышения надежности элемента среды, так и путем увеличения числа связей между элементами. Выбор целесообразного пути повышения надежности будет определяться при совместном рассмотрении особенностей (логических, электрических и физико-технологических) таких структур.

§ 2. Принципиальная схема элемента и расчет элементарных логических схем

Принципиальная схема элемента вычислительной и запоминающей среды, построенная на полевых транзисторах (ПТ) структуры МОП, представлена на рис. 7. Обозначения полюсов на этой схеме соответствуют обозначениям полюсов на рис. 4. Основными узлами схемы являются инвертор (НЕ), параллельная и последовательная логические схемы ("НЕ-ИЛИ", "НЕ-И").

Данный параграф посвящен расчету элементарных логических схем ("НЕ", "НЕ-ИЛИ", "НЕ-И") и формулировке требований к параметрам ПТ и их разбросам.

1. Цепочка инверторов (рис. 8а). Известно, что статический режим бесконечной цепочки инверторов при разбросах параметров описывается двумя взаимнообратными семействами характеристик передачи (ХП) [4,5,6]. Каждое семейство заключено между двумя огибающими (рис. 8б,в). Работоспособность такой системы обуславливается наличием на этих семействах трех неперекрывающихся областей, что соответствует существованию трех действительных корней системы уравнений внутренних граничных огибающих:

$$F_{np}(\mathcal{U}, \mathcal{U}_{\theta x} + \Delta \mathcal{U}^+, \bar{a}, \bar{b}, E) = 0, \quad (1)$$

$$F_{обр}(\mathcal{U} - \Delta \mathcal{U}^-, \mathcal{U}_{\theta x}, \bar{a}, \bar{b}, E) = 0, \quad (2)$$

где $\Delta \mathcal{U}^+$, $\Delta \mathcal{U}^-$ - значения положительной и отрицательной помех;

$\bar{a}$ - система параметров активного прибора;

$\bar{b}$ - система параметров пассивных компонент;

E - напряжение питания.

Минимальное значение напряжения питания $E(\bar{a}, \bar{b})$ при фиксированных параметрах $\bar{a}$, $\bar{b}$ находится из совместного решения (1) и (2) при условии касания огибающих

$$\frac{F'_{np, \mathcal{U}}}{F'_{np, \mathcal{U}_{\theta x}}} = \frac{F'_{обр, \mathcal{U}}}{F'_{обр, \mathcal{U}_{\theta x}}} \quad (3)$$

В самом деле, подставляя $\mathcal{U}$ из (2) в (1) и дифференцируя, имеем:

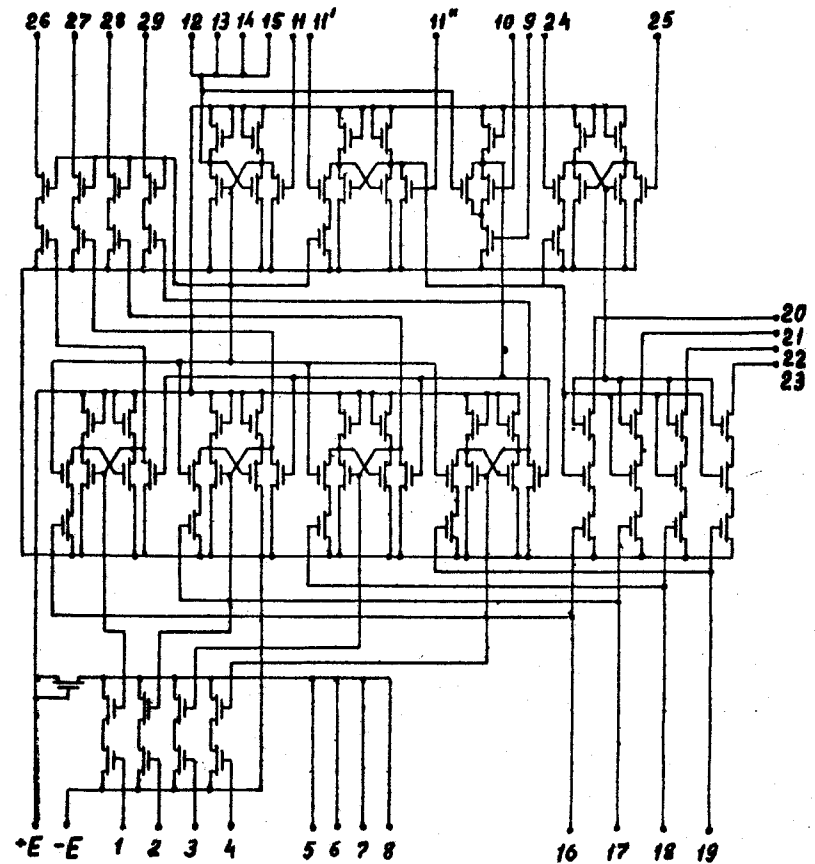


Рис. 7.

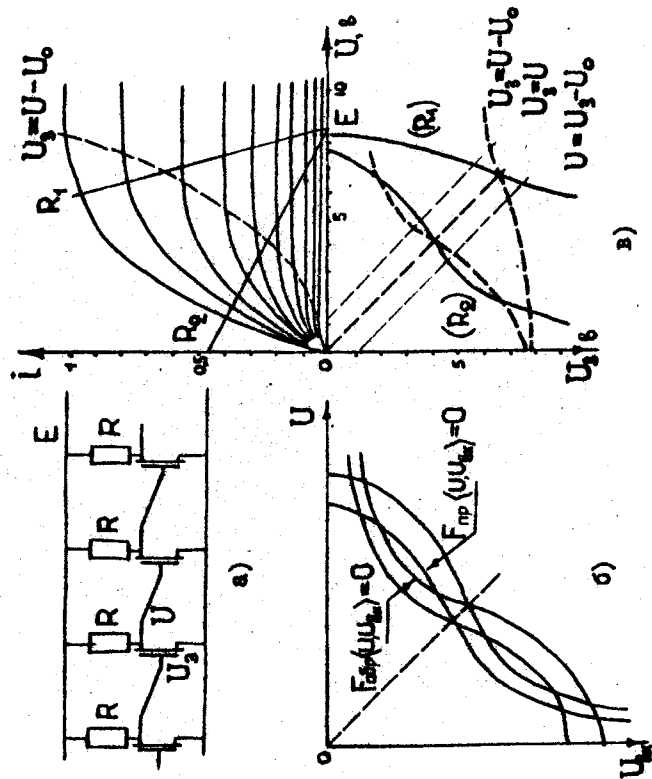


Рис. 8.

$$\frac{dE}{du_{\delta x}} = - \frac{F'_{np} u_{\delta x} - F'_{np} u \frac{F'_{обр} u_{\delta x}}{F'_{обр} u}}{F'_{np} E - F'_{np} u \frac{F'_{обр} u_{\delta x}}{F'_{обр} u}} = 0,$$

откуда и следует условие (3).

Выбор свободных параметров $\bar{\delta}$ определяется дополнительными условиями:

$$\frac{\partial E(\bar{a}, \bar{\delta})}{\partial \bar{\delta}_i} = 0. \quad (4)$$

В расчетах используется известная аппроксимация вольт-амперных характеристик (ВАХ) полевого транзистора [7,8]:

$$i_c = p(2u_3 - 2u_0 - u)u + I_0 \quad \text{при } u < u_3 - u_0, \quad (5)$$

$$i_c = p(u_3 - u_0)^2 + I_0 \quad \text{при } u \geq u_3 - u_0. \quad (6)$$

Здесь $p = \frac{1}{2} \frac{\partial^2 i_c}{\partial u^2}$ - удельная крутизна;
 I_0 - ток стока при $u_3 < u_0$;
 u_0 - пороговое напряжение.

В связи с принятой аппроксимацией ВАХ условия (1,2,3) могут выполняться для прямой огибающей F_{np} в области (5), а для обратной огибающей $F_{обр}$ как в области (5), так и в (6). При этом уравнение (1) имеет вид:

$$u_1 = E - p_1(u_{\delta x} + \Delta u^+ - u_{o1})^2 R_1 - I_{o1} R_1, \quad (7)$$

а уравнение (2) используется в одной из следующих форм:

$$u_2^* = \sqrt{\frac{E - u_{\delta x} - I_{o2} R_2}{p_2 R_2}} + u_{o2} + \Delta u^-, \quad (8)$$

$$u_2^{**} = \frac{E - u_{\delta x} - I_{o2} R_2}{2p_2 u_{\delta x} R_2} + \frac{u_{\delta x}}{2} + u_{o2} + \Delta u^-. \quad (9)$$

Верхнюю оценку величины $E_{min}(\bar{a})$ произведем для случая наилучшего сочетания параметров транзистора ($p_1 = p_{max} = p(1+\delta)$, $p_2 = p_{min} = p$, $I_{o1} = I_{o max} = I_0$, $I_{o2} = 0$, $u_{o1} = 0$, $u_{o2} = u_{o max} = u_0$) при условиях: $\Delta u^+ = \Delta u^- = 0$, $R_1 = R_2 = R$.
 Для этого случая совместное решение (1), (2) дает:

$$U_1 - U_2 = E - \rho(1+\delta)U_{\delta x}^2 R - I_0 R - \frac{E - U_{\delta x}}{2\rho U_{\delta x} R} - \frac{U_{\delta x}}{2} - U_0 = 0. \quad (I0)$$

Условия (3) и (4) приобретают вид соответственно:

$$\frac{\partial(U_1 - U_2)}{\partial U_{\delta x}} = -2(1+\delta)\rho U_{\delta x} R + \frac{E}{2\rho U_{\delta x} R} - \frac{1}{2} = 0, \quad (II)$$

$$\frac{\partial(U_1 - U_2)}{\partial R} = -(1+\delta)\rho U_{\delta x}^2 - I_0 + \frac{E}{2\rho U_{\delta x} R^2} - \frac{1}{2\rho R^2} = 0. \quad (I2)$$

Решение системы (I0, II, I2) относительно $\rho(v, \delta), \gamma(v, \delta), v_0(v, \delta)$ имеет вид:

$$\frac{1}{\rho} = \frac{v^2}{2} \left(1 + \sqrt{1 + 16 \frac{\xi}{v}}\right), \quad \gamma = \frac{v(1 + \sqrt{1 + 16 \frac{\xi}{v}})}{4} (1-v) - \xi v^2, \quad (I3)$$

$$v_0 = 1 - \frac{v}{2} - \frac{v(1 + \sqrt{1 + 16 \frac{\xi}{v}})(1-v)}{2},$$

где $v = \frac{U_2}{E}, v_0 = \frac{U_0}{E}, \xi = 1 + \delta, \gamma = \frac{I_0}{\rho E^2}.$

В линейном приближении можно считать:

$$E_{min}(\rho, I_0, \delta, U_0) = E^* + U_0,$$

где $E^* = E(\rho, I_0, \delta, 0)$ находится из решения системы (I0, II, I2) при $U_0 = 0$, которое в параметрической форме имеет вид:

$$\delta = \frac{(1 - \frac{v}{2})(v^2 - \frac{3}{2}v + 1)}{4v(1-v)^2} - 1, \quad (I4)$$

$$\gamma = \frac{v(1 - \frac{v}{2})(1 - \frac{3}{2}v)}{4(1-v)^2},$$

$$\rho = \frac{1-v}{v(1 - \frac{v}{2})},$$

где $v = \frac{U_2}{E^*}, \gamma = \frac{I_0}{\rho E^{*2}}, \rho = \rho R E^*.$

Численный расчет по соотношениям (I4) дает:

$$E_{min} = 4\sqrt{\frac{I_0}{\rho}}(1 + 0,6\delta) + U_0. \quad (I5)$$

Зависимости $E^*(\delta)$ и $R(\delta)$, полученные из выражений (I4), представлены на рис. 8, г.

Нижнюю оценку величины $E_{min}(\bar{\alpha})$ произведем для случая:

$$\rho_1 = \rho_2 = \rho; I_{01} = I_{02} = I_0; U_{01} = U_{02} = U_0; R_1 = R_2 = R; \Delta U^+ = \Delta U^- = 0.$$

При этом условие (3) выполняется при $U = U_{\delta x}$ и имеет вид:

$$\frac{dU}{dU_{\delta x}} = -1. \quad \text{Тогда совместно с выражениями (4) и (7) получаем следующую систему уравнений для определения } E_{min}(\bar{\alpha}):$$

$$U = E - \rho(U_{\delta x} - U_0)^2 R - I_0 R, \quad (I6)$$

$$\frac{dU}{dU_{\delta x}} = -2\rho R(U_{\delta x} - U_0) = -1,$$

$$U = U_{\delta x},$$

$$\frac{\partial E}{\partial R} = 0,$$

откуда имеем:

$$R_{opt} = \sqrt{\frac{3}{4\rho I_0}}. \quad (I7)$$

$$E_{min} = U_0 + \sqrt{3} \sqrt{\frac{I_0}{\rho}}.$$

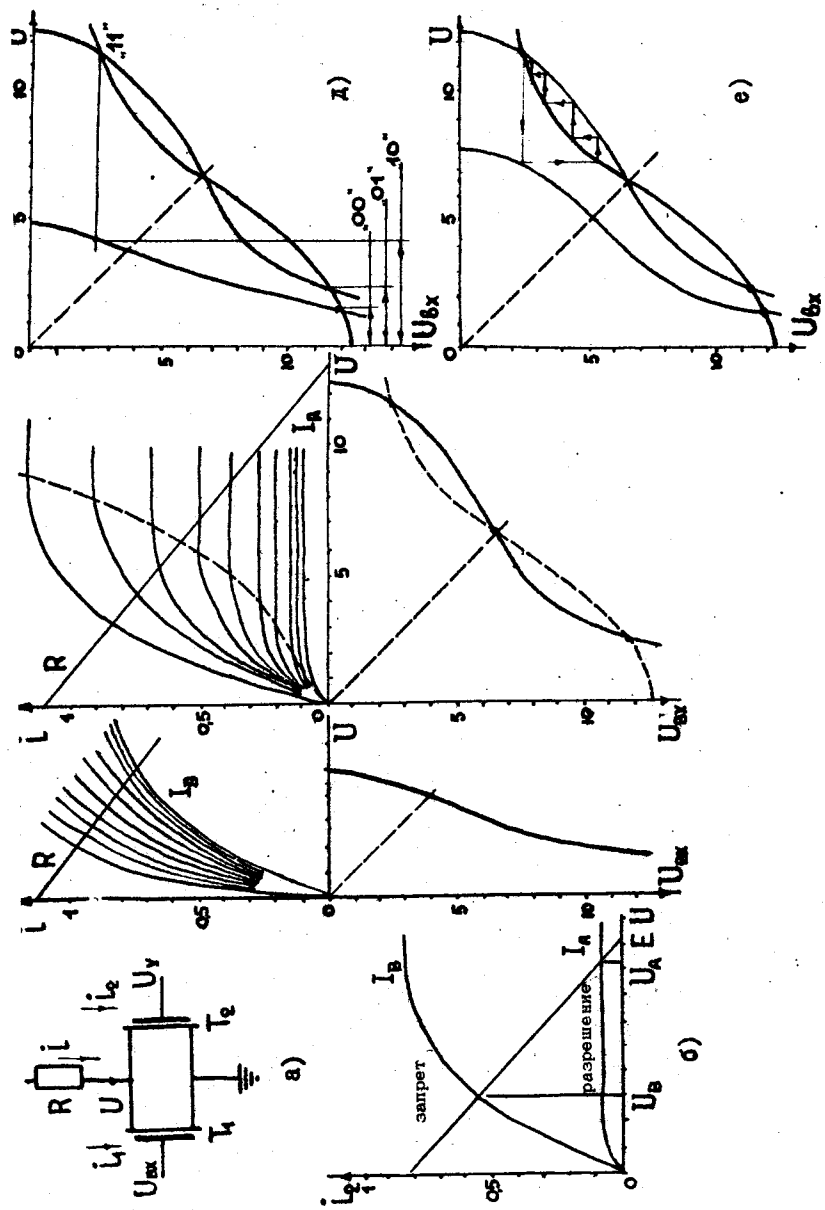
Таким образом, величина $E_{min}(\bar{\alpha})$ для цепочки инверторов находится в пределах:

$$U_0 + \sqrt{3} \sqrt{\frac{I_0}{\rho}} < E_{min}(\bar{\alpha}) < U_0 + 4(1 + 0,6\delta) \sqrt{\frac{I_0}{\rho}}. \quad (I8)$$

2. С х е м а "НЕ-ИЛИ" (рис. 9а). К данной схеме предъявляются два основных требования:

1⁰. В состоянии "разрешения" [низкий уровень U_a , (рис. 9б) на входе T_2] - возможность передачи сигнала без затухания.

2⁰. В состоянии "запрета" [высокий уровень U_a (рис. 9,б) на входе T_2] - невозможность ложного срабатывания следующей схемы от помехи.



134

Рис. 9.

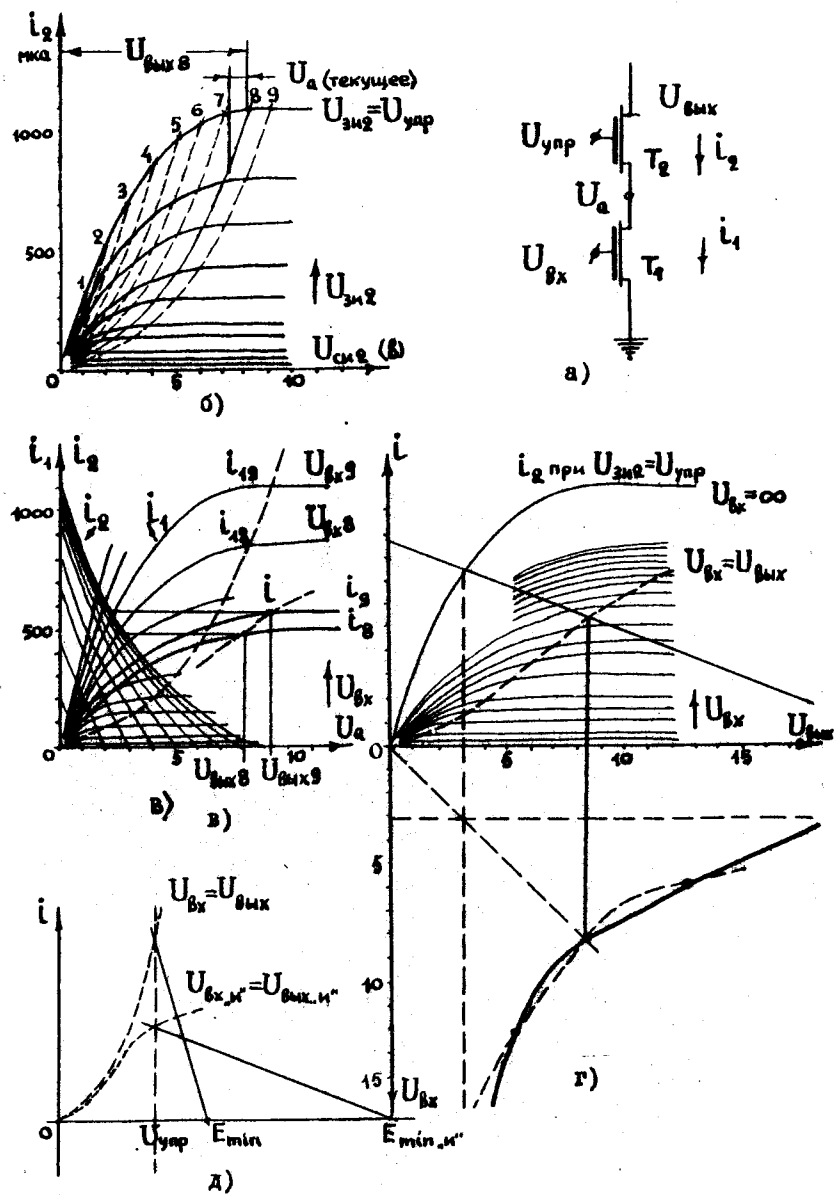


Рис. 10.

135

При этом для T_2 возможны два состояния: $\bar{I}_a$ ("разрешение") и $\bar{I}_b$ ("запрет") - рис. 9,б.

Для анализа схемы строятся суммарные ВАХ $T_1 - T_2$:

$$i = i_1 + i_2 = \varphi(u_1, u_2) + \bar{I}_{T_2}$$

для случаев "разрешения" (рис. 9,г) и "запрета" (рис. 9,в). Затем по этим характеристикам и линии нагрузки строятся характеристики "ВХОД-ВЫХОД" аналогично цепочке инверторов. При насыщении рабочего тока T_2 схема аналогична одному триоду с током $\bar{I}_0$ "или"равным

$$\bar{I}_{0, \text{"или"}} = \rho u_b^2 + 2\bar{I}_0 \approx (2,5 + 3)\bar{I}_0, \quad (19)$$

откуда с учетом (15) следует:

$$E_{min} \text{"или"} - U_0 \approx (1,4 + 1,6)(E_{min} - U_0). \quad (20)$$

Условие 2° (нарушение которого проиллюстрировано на рис. 10,е) сводится к требованию достаточного "разноса" характеристик "разрешения" и "запрета"

$$u_a' - u_b' > u_a \text{"или"} - u_b \text{"или"}$$

Учитывая вышеизложенное (рис. 8,б), замечаем, что $u_a' - u_b'$ есть не что иное, как рабочий перепад цепочки инверторов, который при том же E безусловно будет больше рабочего перепада схемы "НЕ-ИЛИ". Следовательно, выполнение требования 1° автоматически повлечет выполнение требования 2°.

3. С х е м а . "НЕ-И" (рис. 10,а). Для этой схемы потребуем выполнения тех же условий 1° и 2°, что и для предыдущей, с той лишь разницей, что здесь "запретом" будет низкий потенциал на T_2 , "разрешением" - высокий.

Подаем входной сигнал u_{ax} на затвор T_1 , управление u_y - на затвор T_2 . Аналогично предыдущему строим совмещенные ВАХ $T_1 - T_2$. Обозначив $u_{c1} = u_a$, запишем:

$$u_{c12} = u_{ax} - u_a; u_{c12} = u_y - u_a, \quad (21,а)$$

$$i_1 = \varphi_1(u_a, u_{ax}) \quad \text{для } T_1, \quad (21,б)$$

$$i_2 = \varphi_2(u_{ax} - u_a; u_y - u_a) \quad \text{для } T_2 \quad (21,в)$$

Нижне проведены построения для случая "разрешения". Характеристики T_2 построены на рис. 10,б по (21,в) для серии дискретных значений $u_{ax1} \div u_{ax9}$; на рис. 10,в проведено их совмещение с характеристиками T_1 с учетом (21,б,в) и очевидного равенства $i_1 = i_2$. Отсюда исключением u_a легко находится

результатирующее семейство

$$i = \varphi_{11}(u_{ax}, u_{ax}). \quad (22)$$

Построение двух характеристик (22) для $u_{ax8} = 88, u_{ax9} = 98$ показано для примера на рис. 10,в, а полное семейство (22) - на рис. 10,г. Отметим, что при $u_{ax} \rightarrow \infty$ имеем $u_a \rightarrow 0$ и семейство (22) имеет верхним пределом характеристику (см. 21,в):

$$i_2 = \varphi_2(u_{ax}, u_y).$$

Не производя подробный аналитический расчет схемы, оценим $E_{min} \text{"и"}$ из следующих простых соображений.

На рис. 10,г, видно, что схема аналогична одному триоду с переменной крутизной, усиление которого $K = \frac{\partial u_{ax}}{\partial u_{ax}}$ с учетом (21,б,в), а также (7,9) можно записать так:

$$K = SR = \frac{i_1' i_{2ax}' - i_2' i_{1ax}'}{i_1' - i_2'} R \approx 2\rho u_y \frac{V^2}{1-V} \quad (\text{при } u_{ax} > u_y); \quad (23,а)$$

$$K = \left(S - \frac{1}{R_i}\right) R = \frac{i_1' (i_{2ax}' - i_{2ax}') - i_2' (i_{1ax}' - i_{1ax}')}{i_1' - i_2'} R = \\ = 2\rho u_{ax} \frac{1-3V+V^2}{1-2V} \quad (\text{при } u_{ax} > u_y), \quad (23,б)$$

$$\text{где } i' = \frac{\partial i}{\partial u_a}; i_{ax}' = \frac{\partial i}{\partial u_{ax}}; i_{ax}' = \frac{\partial i}{\partial u_{ax}}; V = \frac{u_a}{u_y}.$$

Переключательные свойства схемы, в соответствии с вынеска - занным, проверяются по условию $K > 1$ на линии $u_{ax} = u_{ax}$ (аналогично цепочке инверторов рис. 8,а,б).

Отметим, что усиление данной схемы ниже усиления одного ПТ, вследствие реакции подключенного последовательно управляющего ПТ T_2 . Это приводит к увеличению минимального напряжения работоспособности схемы "НЕ-И". Из расчета по (21,а,б,в), (23,а,б) и несложных построений (рис. 10,д) получим:

$$E_{min} \text{"и"} - U_0 \approx 2(E_{min} - U_0). \quad (24)$$

Что касается условия 2°, то к данной схеме применимы рассуждения, сделанные выше для схемы "НЕ-ИЛИ".

§ 3. Оценка зависимости минимального значения напряжения питания от сложности логических схем "НЕ-ИЛИ", "НЕ-И"

Реализация запоминающих устройств на базе запоминающей среды требует определения зависимости минимального значения напряжения питания от сложности (числа входов) логических схем "НЕ-ИЛИ" и "НЕ-И", с помощью которых образуются цепи считывания информации из запоминающей среды.

E_{min} для параллельной логической схемы "НЕ-ИЛИ" (рис.9а) на N входов непосредственно находится из выражения (15) путем подстановки вместо I_o величины $N I_o$, т.к. параллельная цепочка транзисторов может быть заменена одним транзистором с $I_{oэкв} = N I_o$ и $\rho_{экв} = \rho$. Таким образом, величина

$(E_{min} - U_o)$ для схемы "НЕ-ИЛИ" на N входов в $\sqrt{N}$ раз больше по сравнению с инвертором.

Произведем оценку $(E_{min} - U_o)$ для последовательной логической схемы "НЕ-И" (рис.10,а) на N входов. Вольт-амперные характеристики (ВАХ) последовательного соединения двух транзисторов находятся совместным решением уравнений (21,б) и (21,в), что после исключения U_a дает:

$$i = \frac{\rho}{2} \left[\bar{U}_x^2 - (\bar{U}_y - \bar{U})^2 + (\bar{U}_y - \bar{U}) \sqrt{(\bar{U}_y + \bar{U})^2 + 2U^2 - 4\bar{U}_y U} \right] \quad (25)$$

где $\bar{U}_x = U_{gx} - U_o$, $\bar{U}_y = U_y - U_o$.

Из выражения (25) при $\bar{U}_x = \bar{U}_y$ имеем:

$$i = \frac{\rho}{2} \left[\bar{U}_y^2 - (\bar{U}_y - U)^2 \right].$$

Переходом от $N-1$ к N нетрудно показать, что ВАХ по - следовательной цепочки из N транзисторов при $\bar{U}_x = \bar{U}_y$ имеет вид:

$$i = \frac{\rho}{N} \left[\bar{U}_y^2 - (\bar{U}_y - U)^2 \right]. \quad (26)$$

Из (26) видно, что средняя крутизна уменьшилась в N раз по сравнению с одним транзистором ($S_{icp} = \rho \bar{U}_y$, где $\bar{U}_y = U_y$; для N триодов $S_{Ncp} = \frac{\rho \bar{U}_y}{N}$).

Особенностью данной схемы является то, что линия равного усиления расположена в ненасыщенной области ВАХ, где проводимость $G_i = \frac{\partial i}{\partial U} \neq 0$, что соответствует снижению эквивалентной крутизны последовательной цепочки триодов

$$S_{экв} = S_{cp} - G_{icp}. \quad (27)$$

Для цепочки из двух триодов на линии равного усиления при $\bar{U}_x = \frac{U_y}{2}$ и $U = \frac{U_y}{2}$ из (25) приближенно получаем

$$G_{icp} = \frac{\rho \bar{U}_y}{6}.$$

Аналогично для цепочки из N триодов также на линии равного усиления имеем $G_{Ncp} = \frac{\rho \bar{U}_y}{3N}$.

откуда

$$S_{Nэкв} = S_{Ncp} - G_{Ncp} = \frac{2\rho \bar{U}_y}{3N}, \quad (28)$$

что соответствует снижению усилительных свойств последовательной цепочки триодов в $\frac{3}{2} N$ раз, и, следовательно, требует повышения величины $(E - U_o)$ в $\sqrt{\frac{3}{2} N}$ раз по сравнению с инвертором.

Учитывая вышесказанное, можно сделать следующий вывод. Критерием качества МОП-транзистора в статике может служить отношение $\frac{U_{зпр} - U_o}{K \sqrt{\frac{3}{2}} f(\delta)}$, которое зависит от параметров транзистора и их воспроизводимости. Здесь $U_{зпр}$ - напряжение пробоя по затвору, а K и $f(\delta)$ определяются типом схемы.

Полученные выражения дают возможность сформулировать первичные требования к МОП-транзисторам при разработке технологического процесса производства логических схем.

ЗАКЛЮЧЕНИЕ

1. Рассмотрены однородные структуры, выполненные на базе перестраиваемого регистра сдвига, которые могут быть использованы для реализации логических и вычислительных функций (вычислительные среды) и функций запоминания (запоминающие среды). Приведены схемы элементов среды с разделенными и совмещенными логическими и адресными функциями. Количество адресных каналов у этих структур не зависит от их емкости (числа элементов) и определяется числом управляющих входов у одного элемента.

2. Произведен граничный статический расчет основных логических схем ("НЕ", "НЕ-ИЛИ", "НЕ-И") при разбросах параметров МОП-транзистора. Найдено минимальное значение напряжения питания для этих схем с учетом основных параметров транзистора.

3. Объективным и достаточно полным критерием качества полевого транзистора в статике может служить отношение напряжения пробоя по затвору к минимальному напряжению, обеспечивающему работоспособность логических схем:

$$Q = \frac{U_{зпр} - U_0}{K \sqrt{\frac{I_0}{P}} f(\delta)}$$

которое зависит от параметров прибора и их воспроизводимости.

ЛИТЕРАТУРА

1. Э.В.ЕВРЕЙНОВ., Ю.Г.КОСАРЕВ. Однородные универсальные вычислительные системы высокой производительности, Издательство "Наука". Новосибирск, 1966.
2. Э.В.ЕВРЕЙНОВ, А.И.МИШИН, В.Г.ХРУШЕВ. Элемент вычислительной среды, Авт. свид. № 226263. Заявлено 27.10.1966. Опубл. 5.9.1968 г.
3. А.И.МИШИН. Об элементах вычислительной среды. Сб. "Вычислительные системы", Труды I Всесоюзной конференции по вычислительным системам, выпуск 2, Вычислительные среды, Новосибирск, 1968, стр.130.
4. ЛОУ. Физическая реализация цифровых логических схем. Сб. "Микромошная электроника", Изд. "Советское радио", 1967.
5. A. Josephs. A figure of merit for digital systems.- Microelectronics and Reliability, 1964, N 12.
6. В.П.ПАНФЕРОВ. О надежности работы элементов ЭЦВМ в статическом режиме. Вопросы радиоэлектроники, УП, 1965, вып.3.
7. П. ВАЙМЕР, ТПТ - новый тонкопленочный транзистор, ТИРИ - т. 50, с. 1526, № 6, 1962.
8. G.Wright. Solid State Electronics, 1964, vol.7, N 12, p.167.
9. П. Ваймер. Тонкопленочный транзистор на основе теллура р-типа ТИРИ. т.52, с. 608.
10. С.ХОФШТЕЙН, Ф.ХЕЙМАН. Кремниевый полевой транзистор с изолированным затвором, ТИИЭР, т.51, № 9.
11. J.Wallmark. FET-A Review; RCA-Rec., 1963, Dec., p.641.

Поступила в редакцию
10.XI.1968г.