

УДК 681.323

ЭЛЕМЕНТАРНОЕ ВЫЧИСЛИТЕЛЬНОЕ УСТРОЙСТВО ЭКСПЕРИМЕНТАЛЬНОГО МНОГОМАНИННОГО ВЫЧИСЛИТЕЛЬНОГО КОМПЛЕКСА

А.А. Поков

Рассмотрена структура элементарного вычислительного устройства для многоманинного вычислительного комплекса, сконструированного в соответствии с требованиями минимального объема оборудования. Описана система команд и взаимодействие элементарных вычислительных устройств в системе.

Структура и общие характеристики элементарного вычислительного устройства

Экспериментальный многоманинный вычислительный комплекс (ЭМВК) [1,2] создавался для исследования методов организации мультипроцессорных вычислительных систем и анализа их эффективности при решении задач различных классов. Для достижения этих целей элементарное вычислительное устройство (ЭВУ) было спроектировано с учетом требования максимальной универсальности при заданном объеме оборудования.

Заданный объем оборудования предопределил следующие характеристики ЭВУ:

а) фиксированную запятую;

б) одноадресную систему команд;
в) временные диаграммы без совмещения выборки следующей команды с выполнением текущей;

г) программные (а не аппаратные) способы контроля.

В процессе минимизации количества оборудования, необходимого для ЭВУ, были приняты также следующие решения:

1) исключить из ЭВУ регистр одного из операндов, поскольку все модули запоминающего устройства (ЗУ), входящие в комплекс, имеют регистр числа;

2) производить в арифметическом устройстве формирование адреса следующей команды и модификацию адресных частей команд;

3) не иметь в составе ЭВУ регистров со сдвигом, а сдвиги информации производить в одном комбинационном сдвигателе;

4) применять как можно шире триггеры с одним выходом и однофазную логику.

Разработанная блок-схема ЭВУ (см. рисунок) содержит следующие основные узлы:

1) блок обращения к памяти (БОП), состоящий из коммутаторов адреса (КМА), ключа (КМН), информации (КМИ) и регистра контроля памяти (РКП);

2) блок формирования адреса (БФА) в составе регистров поля адреса (РПА), младших разрядов адреса (РАмл), старших разрядов адреса (РАст), исполнительного адреса (РАисп) и регистра команд (РК);

3) арифметический блок (БАР), включающий в себя 12-разрядный сумматор (См), сдвигатель на один разряд влево и вправо (Сдв), коммутатор числа (КмЧ) и шестиразрядный счетчик сдвигов (СС);

4) блок результатов (БР) в составе четырех 12-разрядных накапливающих регистров НР1-НР4 и регистра результата (РР);

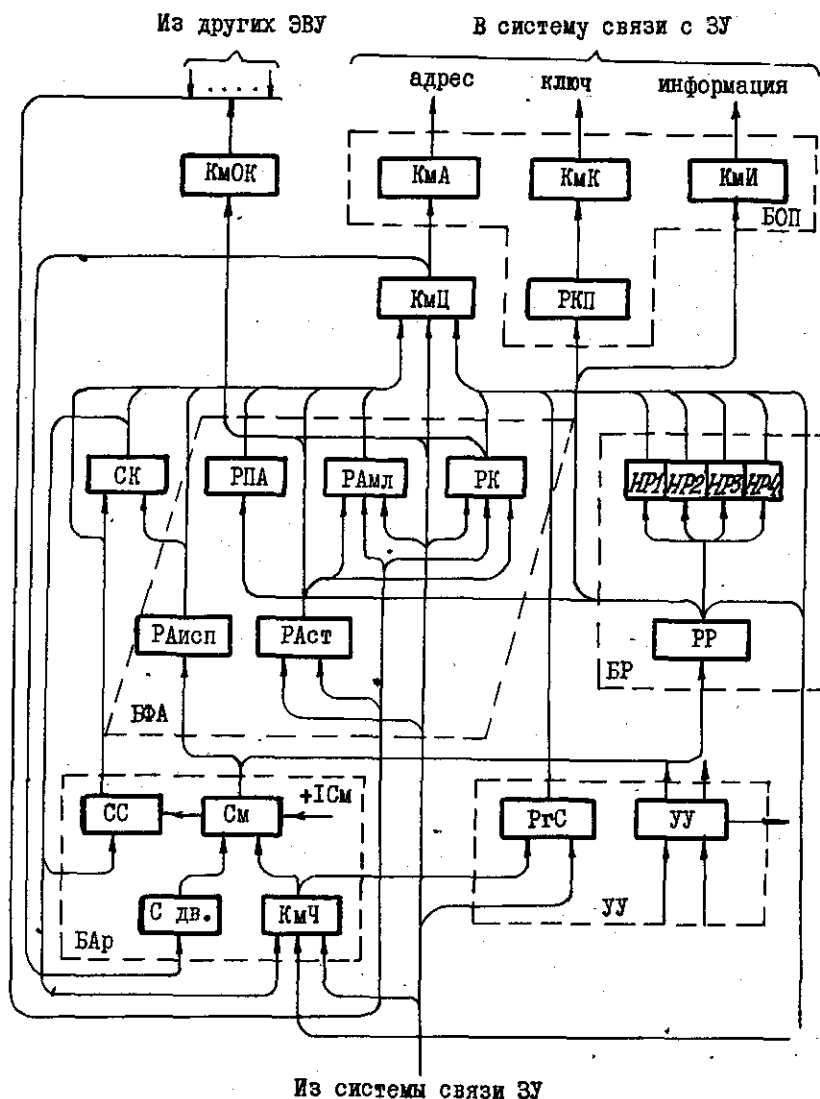
5) центральный коммутатор (КмЦ) для связи всех блоков между собой;

6) коммутатор обхода канала (КМОК) для осуществления машинных связей в комплексе;

7) счетчик адресов команд (СК) из 16 разрядов;

8) устройство управления (УУ) с регистром состояния (РТС).

Система команд ЭВУ содержит операции как с полным 16-разрядным адресом (длина команды 24 разряда), так и с коротким,



Блок-схема элементарного вычислительного устройства.

-разрядным адресом (длина команды 12 разрядов). При этом регистр базисного адреса операндов РПА хранит десять старших разрядов адреса операнда для команд с коротким адресом.

Функционирование ЗВУ рассмотрим на примере выполнения операции типа "сложение 12-разрядных операндов".

1 - й такт. Чтение команды, прибавление "1" к СК, передача результата предыдущей операции из РР в НР1. Адрес очередной команды по цепочке СК-КМЦ-КМА передается в систему связи с ЗУ. Одновременно по цепочке СК-КМЧ-СМ-РАисп осуществляется прибавление "1" к СК. При этом четыре старших разряда СК передаются в СС. Сигнал переполнения из СМ подключен на вход "+1" счетчика сдвигов.

2 - й такт. Прием команды в регистры РК и РАМЛ. Если команда прочитана не полностью, то возврат на 1-й такт. Передача адреса следующей команды из СС и РАисп в СК.

3 - й такт. Чтение операнда по адресу, определяемому в зависимости от кода команды (РПА, РАМЛ или РАст, РАМЛ).

4 - й такт. Выполнение операции. Первый операнд поступает на вход сумматора по цепочке НР1-КМЦ-Сдв. Второй операнд из системы связи с ЗУ поступает на вход КМЧ. Результат операции из сумматора поступает на РР. Команда выполнена, происходит возврат на 1-й такт.

В случае индексруемой команды значение индекса вызывает на РР предыдущей командой. Включается дополнительный такт для образования исполнительного адреса в регистре РАисп и счетчике сдвигов (четыре старших разряда адреса) как результата сложения содержимого РР и адреса, определяемого командой (РПА, РАМЛ или РАст, РАМЛ).

Находясь в рамках структуры процессора без совмещений, уменьшить число тактов для неиндексруемых команд не представляется возможным.

Так как в составе комплекса имеются ЗУ с 24-разрядными словами, то при выборке из него 12-разрядной команды одновременно принимается также и следующие 12 разрядов в РАст. Если эти 12 разрядов являются полной командой, то обращение к памяти за ней не произойдет.

К недостаткам блок-схемы процессора следует отнести значительное увеличение числа тактов в таких командах, как умноже-

ние, деление, сдвиг.

Набор команд ЭВУ

Стремление к универсальности привело к введению в систему команд арифметических операций с длиной операндов 12, 24 и 48 двоичных разрядов. При этом команды умножения и деления обрабатывают только 12-разрядные операнды. Для упрощения подпрограмм умножения 24- и 48-разрядных операндов имеются команды беззнакового умножения и деления.

Кроме арифметических, имеются логические команды умножения, сложения и сравнения.

Команда условной передачи управления (УП) имеет пять разновидностей, четыре из которых позволяют достаточно эффективно анализировать все восемь возможных характеристик результатов операций по схемам (см. таблицу):

№ п/п	Знак результата	Мантисса	Схема анализа
1	+	не анализируется	УП 1
2	-	не анализируется	УП 1
3	не анализируется	= 0	УП 2
4	не анализируется	≠ 0	УП 2
5	+	= 0	УП 3
6	-	= 0	УП 1 & УП 2
7	+	≠ 0	УП 4
8	-	≠ 0	УП 1 & УП 2

Команда УП 5 анализирует старший значащий разряд результата и предназначена для организации подпрограммы нормализации чисел.

Команды анализа и изменения модификатора (как с полным, так и с коротким адресом) предназначены для изменения модификаторов массивов 12, 24 и 48-разрядных слов.

Команда безусловного перехода с возвратом позволяет эффективно организовать работу с подпрограммами.

Имеется группа команд пересылок через регистр РР, которая обеспечивает доступность для программиста всех регистров ЭВУ

без изменения НР1-НР4.

ЭВУ имеет цепи прерывания как от внутренних, так и от внешних причин, поэтому введены команды управления блокировкой прерывания.

Имеются команды управления триггером интерпретации, включение которого ставит в соответствие любой 24-разрядной команде подпрограмму.

Системные возможности ЭВУ

Очевидная область применения многомашинных вычислительных систем (ВС) — решение матричных задач. Характерная особенность этих задач [3] состоит в том, что программы всех процессоров, образующих ВС, совпадают с точностью до адресов операндов. Регистр базисного адреса позволяет при выполнении во всех процессорах одних и тех же команд обрабатывать различные массивы данных. Для уменьшения нагрузки на модуль ЭУ выборка команд в этом случае производится только одним ЭВУ, которое затем по системе шин общего канала передает их во все остальные ЭВУ.

Описанный режим работы обеспечивается следующими средствами. Каждое ЭВУ имеет тумблерный регистр для задания физического номера и регистр состояния для хранения номера ЭВУ, выбирающего команды. В случае совпадения кодов на регистрах ЭВУ находится в режиме "ведущий". Если у ведущего ЭВУ есть "ведомые" ЭВУ и очередная команда должна ими выполняться, то в ведущем ЭВУ предварительно должен быть включен триггер групповой работы. В таком ведущем групповом режиме ЭВУ, выбрав команду, дает запрос на обращение к шинам общего канала. Получив разрешение, ведущее групповое ЭВУ передает на шины команду и свой номер. Ведомые ЭВУ сравнивают код в регистре состояния с номером ЭВУ, занявшего общий канал. При совпадении ведомые принимают команду и приступают к ее выполнению. После того, как все ведомые данной группы приняли команду, ведущее групповое ЭВУ отключается от общего канала и также приступает к выполнению команды. Ведущее групповое ЭВУ, выбрав очередную команду, ожидает окончания выполнения предыдущей команды всеми его ведомыми.

Таким образом, при групповой работе осуществляется поочередно

мандная синхронизация ЭВУ одной группы.

Если в ведущем ЭВУ триггер групповой работы выключен, то процессор не занимает шины общего канала и его работа ничем не отличается от работы обычной ЭВМ.

Нет никаких ограничений на количество групп в комплексе (кроме естественных, определяемых количеством имеющихся ЭВУ), на состав и положение ведущего ЭВУ в группе.

Устройство управления общим каналом децентрализовано, то есть все ЭВУ имеют идентичные узлы, отличающиеся лишь присоединением их приоритетного узла к восьми управляющим шинам. Общий канал сохраняет работоспособность при отключении питания в любом числе процессоров.

При выполнении в групповом режиме команды условного перехода в общем случае может возникнуть необходимость независимо-го выбора каждым ЭВУ следующей команды. При этом из одной группы могут образоваться две. Устройство управления общим каналом автоматически переводит одно из ЭВУ новой группы в режим ведущего группового. Если у ведущего группового ЭВУ в результате выполнения команды условного перехода не осталось ведомых, то триггер групповой работы автоматически выключается.

Управление регистром состояния производится как по командам, выполняемым данным ЭВУ, так и по команде "внешний запуск", выполняемой другим ЭВУ. Команда "внешний запуск" позволяет любому ЭВУ занести требуемую информацию на регистр состояния и контрольное слово в РП. Если код, устанавливаемый в регистре состояния не равен номеру ЭВУ, то запускаемое ЭВУ становится ведомым. В противном случае в ЭВУ возникает сигнал прерывания.

Команды "внешний запуск" достаточно для выполнения функций машины-диспетчера любым ЭВУ комплекса.

Наряду с программами, предназначенными для одновременного выполнения несколькими процессорами, существуют программы, которые по своему назначению в каждый данный момент должны выполняться одним и только одним процессором (безразлично, каким именно). Для организации таких программ имеется группа команд анализа и переключения "флажка". Флажком является код в нулевом разряде (O_p) ячейки ЗУ, адрес которой указан в команде, ЭВУ, выполняющее команду этой группы, перед анализом и изменением флажка независимо от состояния триггера групповой работы занимает общий

канал. Поэтому одновременно может выполняться только одна такая команда. В случае, если флажок открыт ($O_p = 0$), ЭВУ закрывает его, то есть устанавливает $O_p = 1$ и переходит к следующей по порядку команде. Если же флажок закрыт, то в ЭВУ возникает прерывание. Примером таких программ может служить программа-диспетчер или подпрограмма суммирования частичных сумм, полученных в различных ЭВУ.

Кроме рассмотренных случаев, представляет интерес реализация также особых точек программ-ветвлений и объединений. Точки ветвления существуют 2-х типов: условный переход и организация нескольких независимых линейных участков. Особенности команды УП уже рассмотрены, запуск ЭВУ на независимые линейные участки осуществляется командой "внешний запуск". Точка объединения представляет собой начало некоторой работы A , которая может быть начата только по окончании нескольких объединяемых работ. ЭВУ, выполнив работу, завершающуюся точкой объединения, изменяет и анализирует модификатор, защищенный флажком. Если это не последняя из объединяемых ветвей, то оно останавливается или обращается к программе-диспетчеру за новым заданием. Последнее ЭВУ приступает к выполнению работы A . Наряду с внутренними прерываниями по флажку и внешнему запуску существует прерывание при нарушении защиты областей ЗУ. Ведомое ЭВУ при прерывании автоматически становится ведущим.

Созданное ЭВУ многомашинного вычислительного комплекса при его малом объеме оборудования позволяет достаточно просто организовать выполнение параллельных программ различных типов.

Л и т е р а т у р а

1. РАДУНСКИЙ В.М. Экспериментальный многомашинный вычислительный комплекс. - Данный сборник, стр. 97-107.
2. ГРИГОРОВИЧ А.Ф. Система связи многомашинного вычислительного комплекса. - Данный сборник, стр. 116-126.
3. ЕВРЕИНОВ Э.В., КОСАРЕВ В.Г. Однородные универсальные вычислительные системы высокой производительности. Новосибирск, "Наука" СО, 1966.

Поступила в ред.-изд.отд.
20.IV. 1972 г.