

УП. СПЕЦИАЛИЗИРОВАННЫЕ СРЕДЫ

УП-1

БОРКОВСКИЙ Б.А., ПУХОВ Г.Е. Квазианалоговые дискретные моделирующие среды. — "Кибернетика", 1967, № 5, с. 92-95.

Изложены принципы построения, и приведены электронные схемы моделирующих сред, построенных на основе квазианалоговой.

Описанные среды позволяют достаточно просто автоматизировать ввод исходной информации и обеспечить естественную связь с цифровыми вычислительными системами.

УП-2

ДЕВЯТКОВ В.В. Сдвиговый регистр как однородная часть памяти конечного автомата. — В сб.: Вычислительные системы. Материалы ко 2-й Всесоюз. конф. по однородным вычислительным системам и средам. Москва. Секция У. Новосибирск, 1969, с. 93-94.

Рассматривается двоичный сдвиговый регистр как некоторая однородная одномерная среда, удобная для микроэлектронного исполнения в виде моноблока. Рассматривается задача реализации автомата на двоично сдвиговых регистрах. Автомат задается на одном из формализованных языков. Его состояния размещаются таким образом, что при этом размещении он реализовался в виде сети, память которой состоит из минимально возможного числа двоично сдвиговых регистров.

В работе уточняется для некоторых частных случаев постановка указанной выше задачи, и предлагаются методы её решения, позволяющие реализовать автомат на двоично-сдвиговых регистрах, число которых близко к минимальному.

УП-3

ЕГОРОВ И.П., ПАРАМОНОВА Т.М. Коммутирующие сети однородных структур.—В сб.: Вычислительные системы. Труды I-й Всесоюз. конф. по вычислительным системам. Новосибирск, июнь, 1967 г. Вып. 2. Вычислительные среды. Новосибирск, 1968, с. 114-125.

Предлагаются варианты коммутирующих сетей и способы на —стройки однородных структур, удовлетворяющие требованиям интегральной технологии. Рассмотрены два способа управления коммутирующей сетью: координатный способ и управление с помощью распределителей. Недостатком первого способа является большое число координатных шин, которое определяет число внешних выводов. Второй способ требует больше времени для настройки. Предлагаются различные сочетания обоих способов и приемы для выполнения настройки при обрывах в сети.

УП-4

КАЛЯЕВ А.В. Алгоритмы вычислительных структур, состоящих из цифровых интеграторов.—В сб.: Вычислительные системы. Труды I-й Всесоюз. конф. по вычислительным системам. Новосибирск, июнь, 1967 г. Вып. I. Вычислительные системы. Новосибирск, 1968, с. 27-39.

Рассматриваются вычислительные структуры, состоящие из простых решающих блоков и коммутирующих устройств. Приведены разностные уравнения, моделирующие обобщенные уравнения Шеннона. Показано, что при m входах для подынтегральной функции и переменной интегрирования и количества интеграторов N требуется $2mN^2$ коммутирующих элементов.

УП-5

КАЛЯЕВ А.В. Проблемы и перспективы развития цифровых интегрирующих машин и структур.—В кн.: Цифровые модели и интегрирующие структуры. Труды межузовской науч. конф. по теории и принципам построения цифровых моделей и цифровых интегрирующих машин. (Таганрог, сент., 1968 г.). Таганрог, 1970, с. 3-26.

На основе анализа различных задач, решаемых современной вычислительной техникой, сделан вывод о необходимости дальнейшего развития не только универсальных ЦВМ, но и различных классов специализированных ВМ. Среди этих классов выделен класс цифровых интегрирующих машин (ЦИМ) и цифровых интегрирующих структур (ЦИС).

Рассмотрены проблемы цифрового моделирования и управления в реальном масштабе времени. Изложены принципы основных типов современных ЦИМ и ЦИС. Показано, что однородные ЦИС хорошо приспособлены для интегральной реализации. На этих структурах можно решать довольно широкий круг задач. Возможности ЦИС могут быть значительно расширены при их совместном использовании с однородными вычислительными средами.

УП-6

КАЛЯЕВ А.В., ГУЗИК В.Ф. Некоторые математические операции в вычислительных структурах, состоящих из цифровых интеграторов.—В сб.: Вычислительные системы. Труды I-й Всесоюз. конф. по вычислительным системам. Новосибирск, июнь, 1967. Вып. I. Новосибирск, 1968, с. 60-69.

Предлагается универсальный решающий блок (УРБ), построенный из сумматоров одноразрядных приращений, цифровых интеграторов и индикаторов равенства потоков приращений. Приводятся алгоритмы УРБ в виде пяти уравнений. Даны описания блок-схем реализаций с применением УРБ операций дифференцирования, извлечения квадратного корня и деления.

УП-7

КАЛЯЕВ А.В., МЕЛИХОВ А.Н., КОДАЧИГОВ В.И. Квазиоднородные цифровые интегрирующие структуры.—В кн.: Цифровые модели и интегрирующие структуры. Труды межузовской науч. конф. по теории и принципам построения цифровых интегрирующих машин. (Таганрог, сент., 1968). Таганрог, 1970, с. 253-264.

Построение цифровых интегрирующих машин (ЦИМ) на основе однотипных и одинаково соединенных друг с другом стандартных блоков, состоящих из цифрового интегратора и определенного количества коммутирующих элементов (квазиоднородные цифровые интегрирующие структуры (ЦИС)), позволяют существенно повысить эффективность ЦИМ.

Возможно несколько вариантов построения ЦИС. Описываются плоские и линейные ЦИС. Указаны пути решения задачи настройки ЦИС на заданную схему.

УП-8

Квазиоднородные вычислительные структуры на основе цифровых интеграторов. — "Автоматика и телемеханика", 1969, №11, с. 165-170. Авт.: Л.С. БЕРШТЕЙН, А.В. КАЛНЕН, В.И. КОДАЧИГОВ, А.Н. МЕЛИХОВ.

Рассматриваются пространственные плоские и линейные квазиоднородные вычислительные структуры, состоящие из цифровых интеграторов и коммутирующих элементов. Излагаются основные принципы построения вычислительных структур из цифровых интеграторов, и дается оценка числа задач, решаемых на таких структурах. Производится выбор оптимальной вычислительной структуры с точки зрения минимального числа коммутирующих элементов.

УП-9

КОДАЧИГОВ В.И. Об одной задаче построения вычислительных структур из цифровых интеграторов. — В кн.: Кибернетика и моделирование. Ростов н/Д, 1968, с. 106-109.

Рассматриваются вопросы отображения (программирования) схем из цифровых интеграторов в вычислительные структуры из цифровых интеграторов. Показывается, что задачу отображения для таких структур целесообразно решать в два этапа: сначала размещать элементы схемы среди интеграторов структуры, а затем определить пути связи между ними. Намечаются пути решения задачи на обоих этапах.

УП-10

КОДАЧИГОВ В.И. Об управлении однородными цифровыми интегрирующими структурами. — В сб.: Вычислительные системы. Материалы ко 2-й Всесоюз. конф. по однородным вычислительным системам и средам. Москва. Секция П. Новосибирск, 1969, с. 56-57.

При построении цифровых интегрирующих машин весьма перспективным оказывается их реализация в однородных структурах из цифровых интеграторов и коммутирующих элементов. При реализации в цифровых интегрирующих структурах (ЦИС) произвольной схемы из цифровых интеграторов, необходимо отобразить её в ЦИС. Для управления ЦИС необходимо устройство настройки ЦИС. Предлагается блок-схема такого устройства. Исследуется возможный вариант блока поиска путей связей между элементами ЦИС. Рас-

сматриваются также вопросы, связанные со сложностью структуры настройки, уменьшением числа или настройки.

УП-11

КОДАЧИГОВ В.И. О настройке и перестройке однородной цифровой интегрирующей структуры. — В кн.: Цифровые модели и интегрирующие структуры. (Таганрог, сент., 1968 г.). Таганрог, 1970, с. 287-301.

Рассматривается задача настройки и перестройки однородных цифровых интегрирующих структур (ОЦИС). Приводятся несколько методов перестройки (алгоритмической и аппаратной) ОЦИС при неисправности некоторых элементов ОЦИС, участвующих в реализации исходной схемы из цифровых интеграторов. Анализируются способы построения системы настройки элементов ОЦИС.

Показывается, что при применении специальных схем для построения элементов ОЦИС можно эффективно контролировать правильность настройки их и тем самым обеспечить возможность автоматической перестройки ОЦИС.

УП-12

КОКОЧАВЛИЛИ Т.М. Реализация универсального дешифратора для корректирующих кодов на однородных структурах. — В сб.: Вычислительные системы. Труды симпозиума. Новосибирск, май, 1966г. Новосибирск, 1967, с. 257-266.

Идея возможности обнаружения ошибки, используемая в работе, заключается в том, что в равномерном блочном коде для передачи информации используются не все $N = m^n$ возможные кодовые комбинации, а лишь некоторая часть из них N_c (m — основание кода, т.е. число различных символов в кодовом слове; n — значность кода, т.е. число символов в кодовой комбинации).

Показано, как в однородной структуре можно реализовать универсальный дешифратор для корректирующих кодов. Под универсальным дешифратором понимается дискретное устройство, при помощи которого можно исправить любое количество ошибок в любом сочетании.

Сложность структуры для реализации универсального дешифратора при исправлении одиночной ошибки: $L_1^2 = 24N_c n$. При исправлении ошибок кратности k : $L_k^2 = 2N_c n(k+1)(k+3)$.

УП-13

КУЗНЕЦОВ И.П. Один способ нахождения решения систем дифференциальных уравнений в виде степенных рядов и его реализация на однородных вычислительных средах. — В сб.: Вычислительные системы. Материалы ко 2-й Всесоюз. конф. по однородным вычислительным системам и средам. Москва. Секция У. Новосибирск, 1969, с. 95–96.

Рассматривается построение вычислительных сред (ВСр) для реализации частных случаев способа решения дифференциальных уравнений в виде степенных рядов. Каждый элемент ВСр выполняет операции сложения и сдвига. По существу, предлагаемый тип ВСр является предельным случаем цифрового дифференциального анализатора.

УП-14

МОСКОВ Б.А., СКОРОБОГАТОВ В.А. Реализация судовых логических функций в блочной вычислительной среде. — В сб.: Вычислительные системы. Материалы ко 2-й Всесоюз. конф. по однородным вычислительным системам и средам. Москва. Секция У. Новосибирск, 1969, с. 89–93.

Рассматривается вопрос о возможности создания автоматизированной системы проектирования систем логического управления судовыми техническими средствами на основе проблемно-ориентированной одномерной вычислительной среды с резервированием, позволяющим использовать самокоррекцию для обеспечения заданной надежности.

Обсуждаются задачи синтеза функций в такой среде, выбора рационального базиса элемента среды и общая структура устройства.

УП-15

Некоторые способы реализации логических и вычислительных функций на однородных магнитных матрицах с линейной выборкой. — В кн.: Всесоюзное совещание по запоминающим устройствам электронных вычислительных машин, (Ленинград, дек., 1968 г.). Л., 1968, с. 71–75.

Анализ логических возможностей сердечников с прямоугольной петлей гистерезиса, являющихся запоминающими элементами

матрицах МОЗУ, показывает, что при определенном управлении эти элементы могут работать как многофункциональные автоматы, которые путем подачи по управляющим (адресным) шинам импульсов тока различной величины и направления могут настраиваться в каждый такт на выполнение одной из логических операций, образующих функционально полный набор. Рассмотрена работа 72-рядной ячейки МОЗУ с линейной выборкой. Универсальность и однородность функциональной матрицы рассмотренного типа обеспечивает ей большие возможности при сравнительно небольшом объеме. Так, в спроектированной экспериментальной ЭВМ для выполнения арифметических и логических операций потребовалась матрица, содержащая 13 ячеек.

УП-16

О коммутации цифровых интеграторов в вычислительных структурах. — В сб.: Вычислительные системы. Труды I Всесоюз. конф. по вычислительным системам. Новосибирск, июнь, 1967 г. Вып. I. Вычислительные системы. Новосибирск, 1968, с. 40–59. Авт.: А.В. Калляев, А.Н. Мелихов, Л.С. Берштейн, В.И. Кодачиков.

Рассматриваются вычислительные структуры, состоящие из обобщенных цифровых интеграторов и позволяющие решать широкий круг задач, сводимых к уравнениям Шеннона. Программа решения любой такой задачи определяется двумя коммутирующими матрицами, обладающими свойством изоморфизма, описываются преобразования, которые можно производить над подобными матрицами. Приведена схема структуры цифровых интеграторов, в которой предусмотрена возможность любых соединений между интеграторами. Входящие в ЦИС коммутирующие элементы обеспечивают универсальность вычислительной структуры. Стандартные блоки структур легко поддаются микроминиатюризации, что дает возможность строить из подобных блоков малогабаритные надежные вычислительные структуры.

УП-17

ПОПОВ Г.М., КУЗОВКИНА Т.В., ПРАНГИШВИЛИ И.В. Арифметический узел на однородных транзисторных матрицах. — В сб.: Вычислительные системы. Труды симпозиума. Новосибирск, май, 1966 г. Новосибирск, 1967, с. 237–247.

Описывается однородное арифметическое устройство из транзисторных матриц для выполнения операций сложения, вычитания и

умножения. Операция деления выполняется итерационным способом на матрицах умножения.

Новый подход к построению схем на матрицах заключается в создании моделей арифметических таблиц для цифровых систем с основанием больше, чем 2. В работе рассматриваются матрицы для десятичной системы счисления.

Количество матриц, необходимое при умножении m -разрядных чисел на n -разрядные без учета матриц переноса, равно $m \cdot n + n(m-1) + m(n-1)$.

УП-18

ПОПОВА Т.М., КУЗОВКИНА Т.В., ПРАГИШВИЛИ И.В. Арифметический узел на однородных транзисторных матрицах, пригодных для изготовления в интегральном виде. - В кн.: Новые бесконтактные электронные устройства. М., 1966.

См. [УП-17].

УП-19

ПУДЗЕНКОВ Н.А. Некоторые вопросы программирования для цифровых интегрирующих структур. - В сб.: Вычислительные системы. Материалы ко 2-й Всесоюз. конф. по однородным вычислительным системам. Москва. Секция П. Новосибирск, 1969, с. 58-59.

Наиболее трудоемким этапом в процессе программирования является определение пределов изменения переменных и масштабирование. Автоматизация указанного процесса возможна при решении заданной системы уравнений с помощью универсальной вычислительной среды. В случае использования однородной цифровой интегрирующей структуры (ЦИС) весьма существенным является вопрос создания методов программирования, позволяющих производить решение без предварительного определения пределов изменения переменных и масштабирования. Создание методов "безмасштабного программирования", позволяющих представлять все переменные, пределы которых неизвестны, в масштабе, равном единице, резко увеличивает производительность ЦИС и повышает точность полученных результатов решений.

УП-20

УЛИН О.В., ЦАПЕНКО М.П. О построении матричных вычислительных структур. - В сб.: Вычислительные системы. Труды симпозиума. Новосибирск, май, 1966 г. Новосибирск, 1967, с.142-151.

В работе рассматриваются некоторые особенности построения двумерных матричных структур и способы их реализации с помощью матричных сеток. Дается пример построения матричной сетки на ферритовых кольцах с прямоугольной петлей гистерезиса.

УП-21

Цифровая интегрирующая структура на основе универсального решающего блока. - В сб.: Вычислительные системы. Материалы ко 2-й Всесоюз. конф. по однородным вычислительным системам и средам. Москва. Секция П. Новосибирск, 1969, с.54-55. Авт.: А.В.Каллаев, А.Н. Мелихов, В.Ф. Гузик, В.И. Кодачиглов.

Приведены исследования универсального решающего блока (УРБ) и выбор его оптимального варианта с точки зрения вычислительных возможностей. Одновременно показано, что на основе пятивыходового УРБ с одним выходом целесообразно строить однородные цифровые интегрирующие структуры. Объединение УРБ с некоторым количеством шестиполусных коммутирующих элементов дает стандартный блок, легко реализуемый методами микроэлектроники. В качестве примера приводятся программы настройки структуры для реализации отдельных задач.

УП-22

ATRUVIN A.J. A One-Dimensional Real-Time Iterative Multiplier. - "IEEE Trans. Electronic Comput.", 1965, vol. EC-14, N 3, p.394-399.

Одномерное итеративное множительное устройство.

Описан класс одномерных итеративных автоматов, работающих в реальном времени. Например, показана их работа в качестве последовательного множительного устройства (МУ). Числа представляются в виде двоичной временной последовательности. МУ выполняется в виде одномерной структуры из одинаковых ячеек. Каждая ячейка имеет конечное число состояний и соединена непосредственно только с соседями. Умножение происходит в реальном вре-

мени, т.е. задержка между подачей n -го разряда на вход и появлением n -го разряда на выходе есть фиксированное число тактов.

УП-23

BURTON D.P., NOAKS D.R. High-Speed Iterative Multiplier. - "Electronics Letters", 1968, vol.4, N 13, p.262.

Высокоскоростной итеративный умножитель.

Предлагаются матричные структуры, которые сокращают время умножения двух двоичных чисел до времени, необходимого для однократного прохода сигнала через матрицу и суммирования выходов; это обеспечивается передачей сигнала переноса только к соседнему элементу.

УП-24

DEAN K.J. Versatile Multiplier Arrays. - "Electronics Letters", 1968, vol.4, N 16, p.333-334.

Однородные множительные устройства с совмещенными функциями.

Описаны два итеративных массива, которые могут быть использованы как умножители и сумматоры, работающие одновременно или раздельно, давая параллельный двоичный выход. Массивы обеспечивают высокую скорость вычислений вследствие передачи сигнала переноса только к соседнему элементу.

УП-25

FISCHER P.C. Generation of Primes by a One-Dimensional Real-Time Iterative Array. - "J.ACM", 1965, vol. 12, N 3, p.388-394.

Генерирование простых чисел одномерным итеративным каскадом, работающем в реальном времени.

Строится одномерный массив конечных автоматов, генерирующий двоичную последовательность, в которой t -я единица информации появляется в момент времени t и равна "1" тогда и только тогда, когда t является простым числом.

УП-26

FLORINE J. Calculatrices numeriques cellulaires. - "Automatisme", 1970, vol.XY, N 7-8, p.327-330.

Клеточные ЦВМ.

Вводится понятие клеточной вычислительной машины (КВМ), которая определяется как решетка (двух-или более - мерная) из одинаковых элементов клеток, обладающих логической полнотой. Указывается на возможность параллельного выполнения операций. Определены следующие области применения КВМ: задачи операционного исчисления, задачи управления, нахождения путей в графах, распознавание образов, медицинская диагностика и др. В качестве примера описана специализированная УВМ для нахождения кратчайшего пути в графе. Дана функциональная схема ячейки и алгоритмы работы КВМ.

В руководимой автором лаборатории цифровых и логических систем Свободного университета в Брюсселе выполнен макет КВМ, каждая ячейка содержит 33 транзистора и 77 диодов.

УП-27

GOLAY Marcell J.E. Hexagonal Parallel Pattern Transformations. - "IEEE Trans.Comput.", 1969, vol.C-18, N 8, p.733-740.

Гексагональные параллельные преобразования образов. См. [III-53].

УП-28

HOFFMAN J.C., LACAZE B., CSILLAG P. Multiplieur Parallele a Circuits Logiques Iteratifs. - "Electronics Letters", 1968, vol.4, N 9, p.178.

Параллельный умножитель на логических итеративных сетях.

Предлагается множительное устройство, построенное из одинаковых ячеек с однотипными соединениями. Каждая ячейка имеет 4 входа и 4 выхода, реализующая 4 логических функции. Приводится логическая схема ячейки. Необходимое число ячеек для реализации множительного устройства, для умножения двух чисел равно $n(m + \frac{n+1}{2})$, где m - число разрядов множимого; n - число разрядов множителя.

УП-29

HUTTENLOFF J.H., SHIVELY R.R. Arithmetic Unit of a Computing Element in a Global, Highly Parallel Computer. - "IEEE Trans. Comput.", 1969, vol. C-18, N 8, p. 695-698.

Реф.: "Зарубежная радиоэлектроника", 1970, № 5, с. 49.

Арифметическое устройство типового вычислительного элемента для ЦВМ с высокой степенью параллелизма.

В работе описывается арифметическое устройство цифрового вычислительного элемента большой машины для обработки радиолокационных эхо-сигналов.

Устройство может включать до нескольких тысяч идентичных вычислительных элементов, работающих параллельно и выполняющих одни и те же последовательности команд. Все элементы управляются центральным устройством глобального управления.

Каждый элемент содержит собственное арифметическое устройство, память и устройство ввода. Локальное управление в каждом элементе позволяет производить операции над конкретными данными в рамках общей программы всей системы.

УП-30

KAUTZ W.H. Cellular Logic-in-Memory Arrays. - "IEEE Trans. Comput.", 1969, vol. C-18, N 8, p. 719-727.

Клеточные логические структуры с распределенной памятью.

Преимущества в проектировании, изготовлении, проверке и использовании цифровых схем могут быть достигнуты, если схемы разместить в двумерном или клеточном массиве идентичных элементарных ячеек или клеток. Если ячейки БИС обладают памятью, то тот же самый массив можно считать как логически усиленным ЗУ, так и логической схемой, которая может программным путем настраиваться на реализацию требуемого логического поведения.

Обсуждаются свойства ОС и детально описывается один вариант специального назначения - клеточный сортирующий массив. В работе показано, что клеточный сортирующий массив может быть использован в качестве одноадресной многословной памяти, хранящей по порядку все слова, записанные в ней. Эта память может также использоваться как ассоциативная память, стековая память, буферная память и (с низкой логической эффективностью) как про-

граммируемый массив для реализации произвольных переключательных функций. В работе описывается второй вариант сортирующего массива, действующего на другом принципе сортировки.

УП-31

KAUTZ W.H., LEVITT K.N., WAKSMAN A. Cellular Interconnection Arrays. - "IEEE Trans. Comput.", 1968, vol. C-17, N 5, p. 443-451.

Однородные коммутирующие структуры.

Предлагается несколько вариантов ВСр, предназначенных для работы в качестве перестраиваемых коммутаторов. Варианты различаются способами соединений между этапами и соединительными функциями, которые они выполняют. Число состояний настройки во всех вариантах равно двум. Показано, что можно получить коммутирующую структуру, способную реализовать произвольные соединения n входов с n выходами при числе ячеек $N(n) = n \log_2(n) - n + 1$. Предлагается способ получения программы настройки такого коммутатора.

УП-32

LEVITT K.N., KAUTZ W.H. Cellular Arrays for the Parallel Implementation of Binary Error-Correcting Codes. - "IEEE Trans. Inform. Theory", 1969, vol. IT-15, N 5, p. 597-607.

Однородные структуры для параллельной реализации двоичных кодов, исправляющих ошибки.

В статье рассматриваются вопросы использования однородных структур (сред) для параллельной реализации двоичных кодов, исправляющих ошибки. Утверждается, что основное применение вычислительных сред найдут в системах параллельной передачи данных, где существенным является быстрое кодирование и декодирование, а в системах последовательной передачи данных с высокой скоростью.

Обсуждаются однородные структуры кодирования для произвольных групповых кодов, для исправления одиночных и обнаружения кратных независимых ошибок, исправления пачек ошибок и исправления стираний (все для групповых кодов). В работе показано, что однородные структуры могут оказаться эффективным средством для реализации двоичных (n, k) кодов, исправляющих ошибки,

в том случае, когда требуется параллельная обработка данных с высокой скоростью.

УП-33

RAMAMOURTHY C.V., ECONOMIDES S.C. Fast Multiplication Cellular Arrays for ISI Implementation. - In: Fall Joint Comput. Conf. 1969. Proceedings..., 1969, p.89-98.

Однородные структуры для быстрого умножения, ориентированные на реализацию в виде БИС.

В статье описывается двоичное клеточное устройство умножения. Идея построения этого устройства базируется на объединении двух концепций: концепции однородной структуры и концепции функциональных модулей, предназначенных для построения основных узлов вычислительных устройств. В работе рассматриваются несколько вариантов однородных структур. Проблема исключения неисправных модулей из работы решается путем введения комбинационной логической схемы, которая обеспечивает нужные соединения после диагностики. Устройство предлагается выполнять в виде больших интегральных схем.

УП-34

SPRINGER J., ALFKE P. Parallel Multiplier Gets Boots from IC Iterative Logic. - "Electronics", 1970, vol.43, N 21, p.89-93.

То же на русск. яз.: Параллельный умножитель на основе итеративных логических модулей ИС. - Электроника, 1970, т. 43, № 21, с. 12-17.

Одним из наиболее заманчивых применений итеративных структур является реализация быстрого преобразования Фурье, которое само по себе есть метод ускоренного умножения. Для выполнения быстрого умножения предлагается использовать однородную структуру, элемент которой состоит из вентиля и полного сумматора. Наилучшим вариантом БИС является размещение на одном кристалле матрицы 4×2 бит в корпусе с 24 выводами. Для умножения двух N -разрядных чисел необходимо $\frac{N^2}{8}$ таких модулей и время, равное $[40 + (N-2) \cdot 24]$ сек. Матрица умножителя может также использоваться для решения важной задачи нахождения обратной величины по приближенному способу Ньютона.

УП-35

WAKSMAN A. A Permutation Network. - "J. ACM", 1968, vol.15, N 1, p.159-163.

Коммутирующая схема.

Предложена схема, позволяющая получать любую коммутацию входов и выходов; схема построена из ячеек, каждая из которых способна коммутировать две переменные. Нижняя граница затрат ячеек равна $\lceil n \log_2 n - n + 1 \rceil$, где n - число переменных. Приведен алгоритм получения программы настройки ячеек.