

ПОСТРОЕНИЕ ТЕСТОВ ДЛЯ КОМБИНАЦИОННЫХ МНГОВЫХОДНЫХ СХЕМ

В.Ф. Гурко

В работе предлагается метод построения тестов для комбинационных многвыходных схем. Ряд вопросов общей теории тестов [1] и частные вопросы применительно к конкретным схемам были рассмотрены в работах [2,3]. Предлагаемый в работе алгоритм построения тестов является модификацией известного метода "чувствительных путей" [2] и позволяет строить тест не для каждой одинойной несправности схемы, а для группы эквивалентных неразличимых неисправностей логического элемента. Проведение на раннем этапе минимизации числа отыскиваемых тестов уменьшает трудоемкость алгоритма в сравнении с описанным в работе [2].

В дальнейшем при описании схем и построении тестов будут использованы следующие понятия.

Первичная входная шина - это шина, соединяющая внешний входной полюс схемы либо с одним из элементов схемы, либо ее участок до точки ветвления. Пусть $\{X\} = \{x_1, x_2, \dots, x_n\}$ - множество первичных входных шин схемы.

Первичная выходная шина - это шина, соединяющая элемент с внешним выходным полюсом схемы. Пусть $\{Y\} = \{y_1, y_2, \dots, y_k\}$ - множество первичных выходных шин схемы.

Внутренняя шина - это шина, соединяющая либо два элемента (выход-вход), либо выход элемента с точкой ветвления, либо точку ветвления с входом элемента.

Выходы элементов, не являющиеся первичными выходными шинами схемы, обозначим через u с нижним индексом, указывающим номер элемента.

Множество логических элементов схемы обозначим через P .

Булева разность [4] логической функции $F(x_1, x_2, \dots, x_n)$ по отношению к одной из переменных x_i определяется следующим образом:

$$\frac{dF}{dx_i} = F(x_1, \dots, x_{i-1}, 1, x_{i+1}, \dots, x_n) \oplus F(x_1, \dots, x_{i-1}, 0, x_{i+1}, \dots, x_n),$$

где $\oplus$ обозначает операцию "исключающее ИЛИ".

Тест строится при следующих предположениях:

а) существует одиночная неисправность логического типа (const "0" и const "1" на первичных входных, первичных выходных и внутренних шинах);

б) неисправность не приводит к образованию обратных связей и памяти.

Алгоритм получения контрольно-диагностических словарей схемы содержит следующие шаги:

1. Для каждого T_i ($i = \overline{1, k}$) находится множество элементов P_i , проверяемых на i -м выходе. Ясно, что $P = \bigcup_i P_i$, а $P_i \cap P_j$ не обязательно пусто.

2. Используя таблицу истинности для элемента $p_j \in P_i$ и свойство соседних наборов, строим таблицу неисправностей элемента.

Набор является соседним по отношению к i -му набору, если он отличается от i -го набора на единицу. Так, например, для набора (x_1, x_2, x_3) наборы $(\bar{x}_1, x_2, x_3)$, $(x_1, \bar{x}_2, x_3)$ и $(x_1, x_2, \bar{x}_3)$ являются соседними наборами соответственно по переменным x_1, x_2 и x_3 . Соседний набор проверяет неисправность по переменной, для которой он построен, если значения функции на самом наборе и его соседе различны. В противном случае неисправность не проверяется. Предположим, что на наборе (x_1, x_2, x_3) значение функции равно "1", а для соседнего набора $(\bar{x}_1, x_2, x_3)$ значение функции равно "0", тогда набор (x_1, x_2, x_3) проверяет неисправность const "0" по входу x_1 . Контрольный тест элемента строится путем выбора строк таблицы неисправностей с максимальным "весом" W_j теста T_j , который определяется как число неисправностей, им обнаруженных. Для каждой строки таблицы неисправностей вычисляется W_j , т.е. подсчитывается число единиц в каждой строке. Тест делит неисправности на две группы: обнаруживаемые и необнаруживаемые. Выбирается строка, содержащая наибольший "вес" W_j . Если таких строк несколько, то

берется одна из них. После выбора теста неисправности разбиваются на две группы. Для группы неисправностей, не обнаруженных на ранее полученном тестовом наборе, вычисляются "веса" и выбирается строка с наибольшим "весом". Этот тест опять делит группу необнаруженных неисправностей на две группы. Это продолжается до тех пор, пока все неисправности элемента не будут обнаружены. Множество наборов, обнаруживающее все неисправности элемента, есть тест.

3. Каждый контрольный набор элемента "раскрывается" относительно первичных входов схемы следующим образом.

Для того чтобы установить, является ли выход схемы "чувствительным" к неисправностям в p_j элементе, выход элемента рассматривается как "псевдовход" y_j в реализуемой схеме. В этом случае функция, реализуемая схемой, выражается в значениях первичных входов $x_1, x_2, \dots, x_n$ и "псевдовхода" y_j , т.е. $F = F(x_1, x_2, \dots, x_n, y_j)$.

Решая уравнение $\frac{dF}{dy_j} = 1$, мы получаем множество наборов M_j , на которых выход схемы существенно зависит от переменной y_j .

Для выражения контрольного набора элемента в значениях первичных входов схемы записывается уравнение, в котором значения контрольного набора элемента заменяются соответствующими функциями элементов, с которых они подаются на проверяемый элемент и соединяются операцией И. Например, контрольный набор элемента имеет вид (0, 1, 1). Тогда если первая переменная подается с элемента p_k , вторая переменная — с элемента p_l , а третья — с элемента p_m , то уравнение принимает следующий вид:

$$\bar{y}_k \cdot y_l \cdot y_m = 1. \quad (1)$$

Подставляя в (1) соответствующие функции элементов (сущность процедуры состоит в последовательной подстановке выходных функций элементов до тех пор, пока не будет получено уравнение (1) в значениях первичных входов) и решая его, мы получаем множество наборов M относительно первичных входов, которое реализует на входе проверяемого элемента контрольный набор. Следует заметить, что уравнение (1) для некоторых контрольных наборов элемента может оказаться неразрешимым. Это означает, что данный контрольный набор нельзя получить ни при каком наборе на первичных входах схемы. Чтобы исключить такие ситуации, необходимо до построения контрольного теста элемента решить уравнение (1) для всех входных

наборов элемента и те наборы, для которых уравнение (I) неразрешимо, исключать из таблицы неисправностей элемента. Множество наборов, которое делает выход схемы "чувствительным" к неисправностям в элементе и реализует контрольный набор элемента, находится из $M_j \cap M$.

Выбирая по одному представителю из множества наборов, проверяющих неисправность элемента, формируем словарь неисправностей для элементов, проверяемых по Y_i выходной шине.

4. По словарям, сформированным для каждого выхода схемы, строится общий словарь всей схемы. Берется словарь и "накладывается" на словарь для другого выхода или словарь, полученный на предыдущем шаге. Если в предыдущем словаре данная неисправность проверяется на том же наборе, то на месте пересечения строки, соответствующей номеру теста, и столбца, соответствующего неисправности, стоит единица. Тот факт, что неисправность проверяется на нескольких выходах при подаче контрольного набора, фиксируется в таблице состояний выходов схемы. Если неисправности или теста нет в словаре, на который "накладывается" следующий словарь, то он "пополняется" соответствующей неисправностью или тестом. После получения общего словаря проводится минимизация числа наборов для обнаружения всех неисправностей по всем выходам схем. Таким образом, в результате работы данного алгоритма получаем контрольный тест для всей схемы и таблицу состояний выходов исправной схемы при подаче на входы контрольного теста.

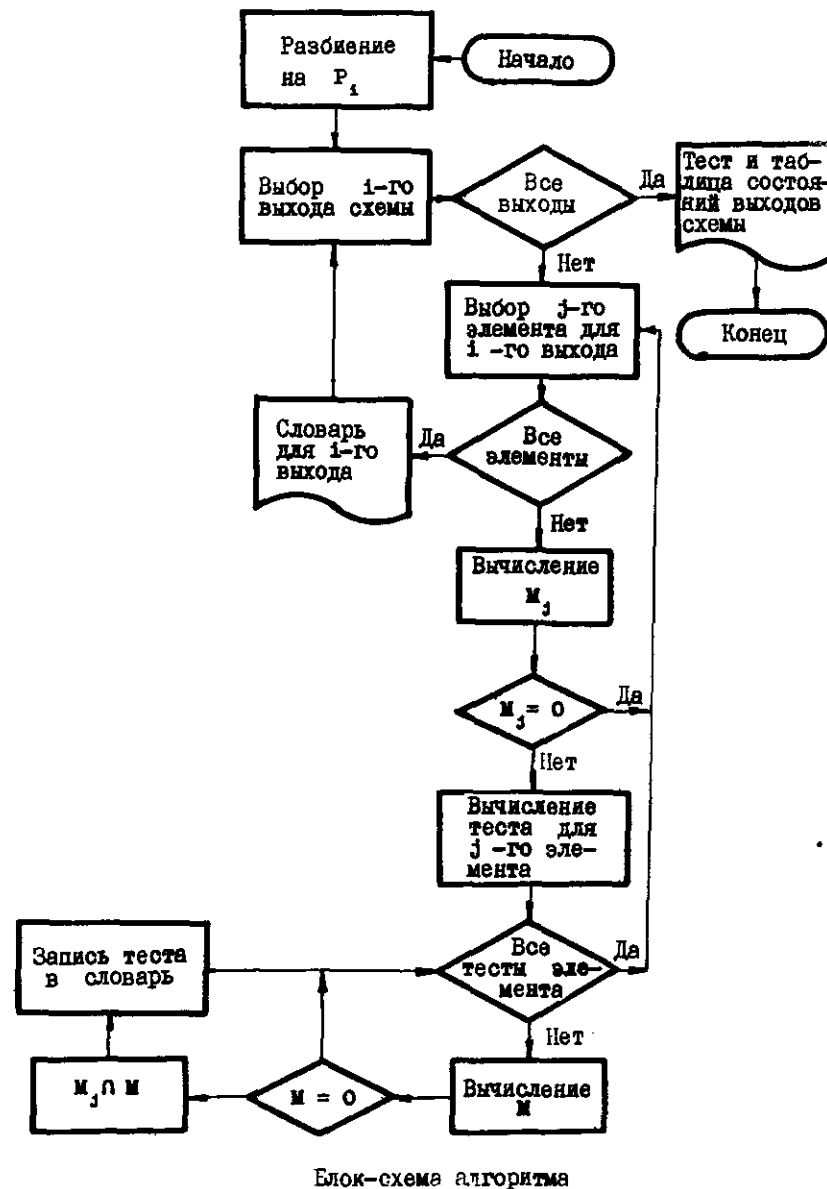
Предлагаемый алгоритм реализован на языке ФОРТРАН-IV для ЭВМ "Минск-32" (блок-схема приведена на рисунке).

Комплекс программ позволяет строить тесты для схем, удовлетворяющих условиям:

- число входов схемы ≤ 70 ,
- число выходов схемы ≤ 32 ,
- число элементов ≤ 400 ,
- число входов элемента ≤ 8 ,
- длина функции элемента не более 23 символов.

Выходная информация:

- словари неисправностей для каждого выхода схемы,
- общий контрольный тест всей схемы,
- таблица состояний выходов исправной схемы при подаче на входы контрольного теста.



Программа содержит 3840 команд. Время построения словаря, обнаруживающего 60-90% неисправностей в схемах с числом вентилей - 40-50, с числом входов схемы - I0-I4, с числом неисправностей в схеме - 200-300, составляет от нескольких минут до I часа.

Л и т е р а т у р а

1. ЧЕГИС И.А., ЯБЛОНСКИЙ С.В. Логические способы контроля электрических схем. - "Труды математического института им. В.А.Стеклова". Том 51, 1958, с. 270-360.
2. YAU S.S., YU-Shan Tang. An Efficient algorithm for Generating complete Test sets for combinational logic circuits. - "IEEE Trans. on Computers", 1971, v.C-20, N 11.
3. ARMSTRONG D.B. On finding a nearly minimal set of Fault Detection test for combinational logic net. - "IEEE Trans. on Computers", 1966, v.EC-15, N 2.
4. AKERS S.B. On a theory of Boolean functions. - "J.Siam.", 1959, v.7, December.

Поступила в ред.-изд.отд.
15 марта 1977 года