

МИНИМИЗАЦИЯ ЗАДЕРЖКИ В ЦЕПИ КАСКАДНО СОЕДИНЕННЫХ
ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ МДП ИНТЕГРАЛЬНЫХ СХЕМ

Н.И. Назаров

Процесс проектирования интегральной схемы включает в себя выполнение комплекса машинных расчетов для определения значений геометрических и электрофизических параметров, при которых удовлетворяются требования на выходные характеристики схем. Наиболее эффективные результаты могут быть получены в том случае, если задача определения параметров формулируется и решается как задача оптимизации.

При проектировании интегральных схем на основе МДП-транзисторов с дополняющими типами проводимости часто минимизируется задержка T в цепи каскадно соединенных логических элементов при ограничении на используемую площадь кристалла; характеристикой величины площади, занимаемой элементами, может служить сумма ширины каналов транзисторов [1]. Если рассматривать T как функцию геометрических параметров отдельных транзисторов, то решение задачи оптимизации затрудняется слишком высокой размерностью пространства оптимизируемых переменных. Кроме того, одномерная цепь обычно является моделью более сложной структуры, сложность разных элементов цепи может быть различной, элементы могут иметь дополнительные входы и т.д.; далеко не простой задачей является учет влияния каждого из транзисторов.

На практике при проектировании сложных схем обычно используется раздельная оптимизация элементов с возможно более точным учетом взаимного их влияния [2], хотя этот подход и не обеспечивает оптимальности всей схемы.

В работе предлагается способ улучшения цепи, построенной из оптимально спроектированных элементов. Способ основан на исполь-

зовании модификации геометрических параметров при сохранении оптимальности элементов.

Предположим, что оптимизируется вектор w ширины каналов какого-либо из элементов цепи и целью является определение w_0 , при котором сумма ширины каналов s не превышает заданной s_0 , а задержка минимальна. Из физических соображений очевидно, что минимум достигается при $s = s_0$ и существует вектор $d = \partial w_0 / \partial s_0$, причем хотя бы некоторые из компонентов этого вектора будут ненулевыми. Векторы w_0 и d позволяют построить множество схем, близких к оптимальным и отличающихся векторами w :

$$w = w_0 + \Delta s \cdot d; \quad (I)$$

каждая из таких схем в некоторой окрестности w_0 обеспечивает задержку, близкую к минимальной при условии $s = s_0 + \Delta s$. Отметим, что векторы w_0 и d зависят от вектора p_0 остальных параметров схемы.

Обозначим теперь через s вектор, i -я компонента которого s_i определяет сумму ширины каналов i -го элемента цепи, и пусть $S = \sum s_i$. Будем считать, что для каждого элемента известны s_0 и d . Возможность построения множества оптимальных схем позволяет рассматривать T как функцию s . При этом возможны случаи, когда S должна быть уменьшена, не должна измениться или может быть увеличена; для решения задачи минимизации T нужно найти способ изменения s_i , при котором задержка становится минимальной.

Решение задачи минимизации требует вычисления вектора $\partial T / \partial s$. Если аппроксимировать изменение задержки выражением $\Delta T = (\partial T / \partial s)^t \Delta s$ и ввести естественные ограничения $s_H \leq s + \Delta s \leq s_B$, то искомый вектор Δs можно получить из решения задачи: найти

$$\left. \begin{aligned} \min \Delta T &= (\partial T / \partial s)^t \cdot \Delta s; \\ \Delta s &\geq s_H - s; \\ \Delta s &\leq s_B - s; \\ \Sigma \Delta s &= S_0 - S, \end{aligned} \right\} \quad (2)$$

т.е. общей задачи линейного программирования.

Рассмотрим некоторые вопросы, связанные с практической реализацией методики в виде программы. Для каждого элемента цепи заранее должны быть определены векторы w_0 , d ; вектор w_0 является результатом параметрической оптимизации элемента, вектор d может быть построен по результатам двухкратной оптимизации при различных значениях s_0 ; вектор p_0 содержит значения электрофизических

параметров, технологических ограничений, нагрузки, напряжений питания. Вычисление компонент вектора $\partial T / \partial s$ облегчается, если задержку T представить в виде суммы задержек τ_i на элементах и использовать соотношение:

$$\frac{\partial T}{\partial s_1} \approx \frac{\partial \tau_{i-1}}{\partial s_1} + \frac{\partial \tau_i}{\partial s_1} + \frac{\partial \tau_{i+1}}{\partial s_1}.$$

В этом случае, при определении $\partial T / \partial s$ методом приращений, достаточно рассчитать переходный процесс в цепи четыре раза: а) при начальных значениях ширины каналов; б) с приращениями у элементов с порядковыми номерами $1 + 3 \cdot k$; в) с приращениями у элементов с номерами $2 + 3 \cdot k$; г) с приращениями у элементов с номерами $3 + 3 \cdot k$, $k = 0, 1, 2$ и т.д.

Следует отметить, что выражение (1) справедливо только в некоторой окрестности w_0 . Поэтому может оказаться, что полученное из (2) приращение Δs не обеспечивает минимальности задержки, а определяет только направление, в котором имеет смысл искать близкую к оптимальной цепь, так что может потребоваться дополнительный расчет переходного процесса. Производная в (2) также зависит от положения рабочей точки. Ввиду отмеченных обстоятельств рассмотренный алгоритм следует считать эвристическим. Более того, уменьшение задержки в цепи можно не связывать с оптимальностью элементов или цепи в целом; например, векторы w_0 , d могут быть заданы разработчиком, исходя из его опыта.

Методика уменьшения задержки в цепи моделировалась с помощью имеющихся программ математического моделирования МДП ИС. В частности, для некоторых схем определялась зависимость w_0 , d от s_0 , порогового напряжения и нагрузочной емкости. Например, в однокаскадных схемах И-НЕ, ИЛИ-НЕ соотношение ширины каналов транзисторов с разными типами проводимости зависит от порогового напряжения, но не зависит ни от s_0 , ни от нагрузки; в многокаскадных схемах ширины каналов связаны более сложными соотношениями.

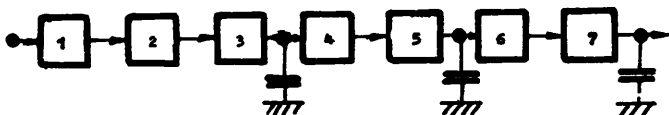


Рис. I

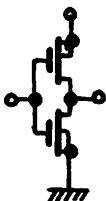


Рис.2

Приведем пример использования методики оптимизации. На рис.1 показана схема из семи каскадно соединенных инверторов; выходы трех инверторов нагружены емкостями. Каждый инвертор содержит два транзистора (рис.2), ширины каналов всех транзисторов одинаковы и равны 40 мкм. Требуется минимизировать задержку без увеличения суммы ширины каналов транзисторов. В данном случае вектор $d = (0,5; 0,5)$. По результатам четырехкратного моделирования цепи был определен вектор частных производных в (2): $\partial T / \partial s = -0,05(1,1; 0,8; 3,5; 1,7; 3,3; 1,6; -2,9)$ нсек/мкм. Задача (2) решалась при разных значениях $s_{н1}, s_{в1}$; при $s_{н1} = 60$ мкм, $s_{в1} = 110$ мкм решение (2) имеет вид: $\Delta s = (-20, -20, 30, -20, 30, -20, 20)$ мкм; использование этих приращений способствует уменьшению задержки в цепи примерно на 10 нсек; такое же уменьшение задержки получается при $s_{н1} = 50$ мкм, $s_{в1} = 120$ мкм; при дальнейшем уменьшении нижней и увеличении верхней границ задержка не уменьшается в силу зависимости $\partial T / \partial s$ от положения рабочей точки. Относительная незначительность уменьшения задержки объясняется малой нагруженностью инверторов, вследствие чего задержка оказывается близкой к нижнему пределу, определяемому физико-технологическими ограничениями.

Л и т е р а т у р а

1. БЕЛИК В.Н., ГОРДЕЕВ Б.К. Метод расчета больших интегральных схем (БИС) на МДП-транзисторах с дополнительными типами проводимости (МДПДТ). -В кн.: Микроэлектроника. Сб. статей под ред. Ф.В.Лукина. Вып. 5. М., "Советское радио", 1972, с.79-97.
2. БАТАЛОВ Б.В., ЕГОРОВ Ю.Б., СОКОЛОВ А.Г. Алгоритм расчета оптимальных параметров фрагмента БИС. -В кн.: Микроэлектроника. Сб. статей под ред. А.А.Васенкова. Вып. 9. М., "Советское радио", 1976, с. 183-197.

Поступила в ред.-изд.отд.
13 июля 1978 года